

Attorney Docket No. 1186.1033

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Takehito TSUKAMOTO et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: March 25, 2004

Examiner: Unassigned

For: **MULTI-LAYER WIRING BOARD, IC PACKAGE, AND METHOD OF MANUFACTURING
MULTI-LAYER WIRING BOARD**

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

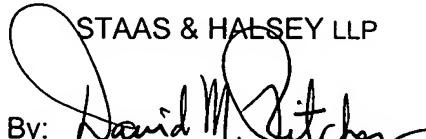
In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Patent Application No(s).: 2001-304651

Filed: September 28, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

By: 
David M. Pitcher
Registration No. 25,908

Date: March 25, 2004

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 9月28日

出願番号

Application Number:

特願2001-304651

[ST.10/C]:

[JP2001-304651]

出願人

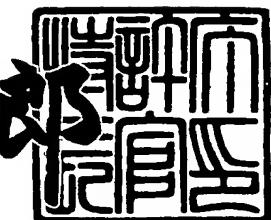
Applicant(s):

凸版印刷株式会社

2003年 6月24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3049362

【書類名】 特許願

【整理番号】 A000104489

【提出日】 平成13年 9月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 多層回路配線板、ICパッケージ、及び多層回路配線板の製造方法

【請求項の数】 35

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 塚本 健人

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 松澤 宏

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 秋本 聰

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 前原 正孝

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 末本 匠

【発明者】

【住所又は居所】 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

【氏名】 大出 雅之

【特許出願人】

【識別番号】 000003193

【氏名又は名称】 凸版印刷株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9005933
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層回路配線板、ICパッケージ、及び多層回路配線板の
製造方法

【特許請求の範囲】

【請求項1】

一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のピアホールと、を有する第1のフィルムと、

一方の面にIC実装用の第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面に積層された第2のフィルムと、

一方の面にプリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記他方の面に積層された第3のフィルムと、

前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のピアホールと、

前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のピアホールと、

を具備することを特徴とする多層回路配線板。

【請求項2】

前記第1のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層上に設けられた銅からなる第1及び第2の配線パターンを有し、

前記第2のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第3の配線パターンを有し、

前記第3のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第4の配線パターンを有すること、

を特徴とする請求項1記載の多層回路配線板。

【請求項3】

前記1又は第2若しくは第3のフィルムの少なくとも一つにおいて、前記ポリイミド樹脂層の配線パターンが形成された表面の粗度は、任意の十点平均粗さで

0. 01 μm ～5. 0 μm であることを特徴とする請求項2に記載の多層回路配線板。

【請求項4】

前記第2のフィルムを前記第1のフィルムに接着する第1の接着層と、
前記第3のフィルムを前記第1のフィルムに接着する第2の接着層と、
をさらに具備することを特徴とする請求項2に記載の多層回路配線板。

【請求項5】

前記各接着層は、少なくともエポキシ硬化成分を有する熱硬化系接着層である
ことを特徴とする請求項4記載の多層回路配線板。

【請求項6】

前記各接着層の層厚は、30 μm 以下であることを特徴とする請求項4又は5
記載の多層回路配線板。

【請求項7】

前記第2のビアホール及び第3のビアホールはブラインドビアホールであり、
各ビアホールの開口径に対しての底部径の比は0. 2乃至1. 0であることを特
徴とする請求項1乃至6のうちいずれか一項記載の多層回路配線板。

【請求項8】

前記第2のビアホール及び第3のビアホールはブラインドビアホールであり、
各ビアホールの開口径に対しての底部径の比は0. 4乃至0. 8であることを特
徴とする請求項1乃至6のうちいずれか一項記載の多層回路配線板。

【請求項9】

一方の面に第1の配線パターンを有する第1のフィルムと、
一方の面にIC実装用の第2の配線パターンを有し、当該一方の面と反対側の
面にて前記第1のフィルムの前記一方の面に積層された第2のフィルムと、
前記第1の配線パターンと前記第2のパターンとを電気的に接続する第1のビ
アホールと、
を具備することを特徴とする多層回路配線板。

【請求項10】

前記第1のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅から

なる第1の配線パターンを有し、

前記第2のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第2の配線パターンを有すること、

を特徴とする請求項9記載の多層回路配線板。

【請求項11】

ICと、当該ICを実装する多層回路配線板と、からなるICパッケージであって、

前記多層回路配線板は、一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のビアホールと、有する第1のフィルムと

一方の面に前記ICを実装するための第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面に積層された第2のフィルムと、

一方の面にプリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記他方の面に積層された第3のフィルムと、

前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のビアホールと、

前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のビアホールと、を具備すること、

を特徴とするICパッケージ。

【請求項12】

前記第1のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層上に設けられた銅からなる第1及び第2の配線パターンを有し、

前記第2のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第3の配線パターンを有し、

前記第3のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第4の配線パターンを有すること、

を特徴とする請求項1.1記載のICパッケージ。

【請求項1.3】

ICと、当該ICを実装する多層回路配線板と、当該多層回路配線板を実装するプリント配線基板からなるICパッケージであって、

前記多層回路配線板は、一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のビアホールと、有する第1のフィルムと

一方の面上に前記ICを実装するための第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面上に積層された第2のフィルムと、

一方の面上に前記プリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記他方の面上に積層された第3のフィルムと、

前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のビアホールと、

前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のビアホールと、を具備すること、

を特徴とするICパッケージ。

【請求項1.4】

前記第1のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層上に設けられた銅からなる第1及び第2の配線パターンを有し、

前記第2のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第3の配線パターンを有し、

前記第3のフィルムは、ポリイミド樹脂層と、当該ポリイミド樹脂層に銅からなる第4の配線パターンを有すること、

を特徴とする請求項1.3記載のICパッケージ。

【請求項1.5】

前記第2のフィルムを前記第1のフィルムに接着する第1の接着層と、

前記第3のフィルムを前記第1のフィルムに接着する第2の接着層と、
をさらに具備することを特徴とする請求項11又は13に記載のICパッケージ。

【請求項16】

前記各接着層は、少なくともエポキシ硬化成分を有する熱硬化系接着層であることを特徴とする請求項15記載のICパッケージ。

【請求項17】

前記各接着層の層厚は、30μm以下であることを特徴とする請求項15又は16記載のICパッケージ。

【請求項18】

前記第2のビアホール及び第3のビアホールはブラインドビアホールであり、各ビアホールの開口径に対しての底部径の比は0.2乃至1.0であることを特徴とする請求項11乃至17のうちいずれか一項記載のICパッケージ。

【請求項19】

前記第2のビアホール及び第3のビアホールはブラインドビアホールであり、各ビアホールの開口径に対しての底部径の比は0.4乃至0.8であることを特徴とする請求項11乃至17のうちいずれか一項記載のICパッケージ。

【請求項20】

一方の面に第1の導体層を、他方の面に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、

前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、

前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、

前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、

前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビア

ホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、

前記第1の導体層にICを実装するための配線パターンを形成し、

前記第2の導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、

を具備することを特徴とする多層回路配線板の製造方法。

【請求項21】

前記第1及び第2の配線パターンの形成、前記第1のビアホールの形成、前記第2のフィルムの前記第1のフィルムへの積層、及び前記第3のフィルムの前記第1のフィルムへの積層、前記ICを実装するための配線パターンの形成、前記プリント配線基板と電気的に接続するための配線パターンの形成、前記第2のビアホールの形成、前記第3のビアホールの形成は、ロール・ツー・ロール法によって実行されることを特徴とする請求項20記載の多層回路配線板の製造方法。

【請求項22】

前記第1、第2及び第3のビアホール形成において、第3高調波以上の波長を有する紫外線レーザによって、ビアホール用孔を形成し、

前記紫外線レーザを用いた物理的研磨、砥粒子を用いた物理的研磨、酸処理による化学的研磨の少なくともいずれか1つの方法により、前記ビアホール用孔の開口端に発生する飛散金属を除去し、

前記ビアホール用孔のアスペクト比を1.5以下に処理すること、

を有することを特徴とする請求項20に記載の多層回路配線板の製造方法。

【請求項23】

前記第1、第2及び第3のビアホール形成において、第3高調波以上の波長する紫外線レーザによって、ビアホール用孔を形成し、

前記紫外線レーザを用いた物理的研磨により、前記ビアホール用孔の開口端に発生する飛散金属を除去し、

前記物理的研磨の前又は後に、砥粒子を用いた物理的研磨又は酸処理による化学的研磨の少なくともどちらか一方の方法により、前記ビアホール用孔のアスペクト比が1.5以下となるまで前記第1、第2、第3及び第4の導体層を研磨す

ること、

を特徴とする請求項20に記載の多層回路配線板の製造方法。

【請求項24】

前記第1、第2及び第3のビアホール形成において、第3高調波以上の波長する紫外線レーザによって、ビアホール用孔を形成し、

前記ビアホール用孔の形成によって発生した残渣を除去するデスマニア処理を行い、

前記ビアホール用孔に導電性を持たせる処理を施し、

電解めっきによりビアホールを充填すること、

を特徴とする請求項20記載の多層回路配線板の製造方法。

【請求項25】

前記第1、第2及び第3のビアホール形成において、第3高調波以上の波長する紫外線レーザによって、ブラインドビアホール用孔を形成し、

前記ビアホール用孔の形成によって発生した残渣を、過マンガン酸塩を用いたデスマニア処理によって除去すること、

を特徴とする請求項20記載の多層回路配線板の製造方法。

【請求項26】

前記デスマニア処理の後、スズーパラジウムコロイド、導電性ポリマー、カーボングラファイトの少なくとも一つを用いたダイレクトプレーティングシステムにより、前記ビアホール用孔に導電性を持たせる処理を行うことを特徴とする請求項25に記載の多層回路配線板の製造方法。

【請求項27】

前記デスマニア処理の後、無電解銅めっき処理により前記ビアホール用孔に導電性を持たせる処理を行うことを特徴とする請求項25に記載の多層回路配線板の製造方法。

【請求項28】

前記第1、第2及び第3のビアホール形成において、第3高調波以上の波長を有する紫外線レーザによって、ブラインドビアホール用孔を形成し、

過マンガン酸塩を用いて、前記ビアホール用孔の形成によって発生した残渣を

除去するデスマニア処理を行い、

スズーパラジウムを用いて、前記ビアホール用孔に導電性を持たせる処理を施し、

2段階以上の電流密度を用いた電解めっきにより、前記ブラインドビアホール用孔内部を金属で充填すること、

を特徴とする請求項20記載の多層回路配線板の製造方法。

【請求項29】

前記第1の導体層への配線パターン形成、前記第2の導体層への配線パターン形成、前記第3の導体層への配線パターン形成、及び前記第4の導体層への配線パターン形成において、

前記第1、第2、第3及び第4の導体層の層厚を化学研磨により3乃至12μmとし、

前記各導体層の層厚のバラツキを、前記第1、第2、第3及び第4の導体層の層厚の20%以下とし、

レジストを用いて選択的に前記第1、第2、第3及び第4の導体層の不要部分を除去し、前記第1、第2、第3及び第4の導体層に所定の配線パターンを形成するエッティング処理を施すこと、

を特徴とする請求項20に記載の多層回路配線板の製造方法。

【請求項30】

前記第1の導体層への配線パターン形成、前記第2の導体層への配線パターン形成、前記第3の導体層への配線パターン形成、及び前記第4の導体層への配線パターン形成において、

前記第1、第2、第3及び第4の導体層の層厚を化学研磨により0.5乃至3μmとし、

前記各導体層の層厚のバラツキを、前記第1、第2、第3及び第4の導体層の層厚の20%以下とし、

前記第1、第2、第3及び第4の導体層を、レジストを用いて選択的に所定パターンのめっきを形成し、

前記レジスト除去後、めっき形成部以外の前記第1、第2、第3及び第4の導

体層を化学研磨にて除去し、前記第1、第2、第3及び第4の導体層に所定の配線パターンを形成すること、

を特徴とする請求項20に記載の多層回路配線板の製造方法。

【請求項31】

前記めっき形成において、レジスト形成後酸洗処理し、

前記酸洗処理後、電流密度 $2 \sim 4 \text{ A/dm}^2$ にてCuめっきすること、

を特徴とする請求項20に記載の多層回路配線板の製造方法。

【請求項32】

一方の面に第1の導体層を、他方の面に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、

前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、

前記第1のフィルムの前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、

前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、

前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビアホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、

前記第3の導体層及び前記第4の導体層に所定の配線パターンを形成し、

前記第3の導体層の配線パターン側に、第3の絶縁層と当該第3の絶縁層上に形成された第5の導体層とを有する第4のフィルムを積層し、

前記第2の導体層の配線パターン側に、第4の絶縁層と当該第4の絶縁層上に形成された第6の導体層とを有する第5のフィルムを積層し、

前記第3の導体層の配線パターンと前記第5の導体層とを電気的に接続する第4のビアホール、及び前記第4の導体層の配線パターンと前記第6の導体層とを

電気的に接続する第5ビアホールを形成し、

前記第3の導体層にICを実装するための配線パターンを形成し、

前記第4の導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、

を具備することを特徴とする多層回路配線板の製造方法。

【請求項33】

前記第1の導体層、前記第2の導体層、前記第3の導体層、前記第4の導体層、前記第5の導体層、前記第6の導体層の各配線パターンの形成において、

形成する配線パターンの配線加工ピッチが、 $30\text{ }\mu\text{m}$ よりも微細な層については、当該層厚を化学研磨により 0.5 乃至 $3\text{ }\mu\text{m}$ とし、当該微細な層における層厚のバラツキを 20% 以下とし、当該微細な層を、レジストを用いて選択的に所定パターンのめっきを形成し、前記レジスト除去後、めっき形成部以外の前記当該微細な層を化学研磨にて除去し、前記当該微細な層に所定の配線パターンを形成し、

前記当該微細な層以外の残余の層については、層厚を化学研磨により 3 乃至 $12\text{ }\mu\text{m}$ とし、層厚のバラツキを 20% 以下とし、レジストを用いて選択的に前記残余の層の不要部分を除去し、前記残余の層に所定の配線パターンを形成するエッチング処理を施すこと、

を特徴とする請求項32に記載の多層回路配線板の製造方法。

【請求項34】

(a) 一方の面に第1の導体層を、他方の面に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、

(b) 前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、

(c) 前記第1のフィルムの前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、

(d) 前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶

縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、

(e) 前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビアホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、

(f) 前記第3の導体層及び前記第4の導体層に所定の配線パターンを形成し

(g) 前記第3の導体層の配線パターン側に、第3の絶縁層と当該第3の絶縁層上に形成された第5の導体層とを有する第4のフィルムを積層し、

(h) 前記第2の導体層の配線パターン側に、第4の絶縁層と当該第4の絶縁層上に形成された第6の導体層とを有する第5のフィルムを積層し、

(i) 前記第3の導体層の配線パターンと前記第5の導体層とを電気的に接続する第4のビアホール、及び前記第4の導体層の配線パターンと前記第6の導体層とを電気的に接続する第5ビアホールを形成し、

前記(g)乃至前記(i)の工程を、必要な層数だけ繰り返し、

前記一方の面の最も外側に位置する導体層にICを実装するための配線パターンを形成し、

前記一方の面の最も外側に位置する導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、

を特徴とする多層回路配線板の製造方法。

【請求項35】

前記各導体層の各配線パターンの形成において、

形成する配線パターンの配線加工ピッチが、 $30\mu m$ よりも微細な層については、当該層厚を化学研磨により 0.5 乃至 $3\mu m$ とし、当該微細な層における層厚のバラツキを 20% 以下とし、当該微細な層を、レジストを用いて選択的に所定パターンのめっきを形成し、前記レジスト除去後、めっき形成部以外の前記当該微細な層を化学研磨にて除去し、前記当該微細な層に所定の配線パターンを形成し、

前記当該微細な層以外の残余の層については、層厚を化学研磨により 3 乃至 1

$2 \mu m$ とし、層厚のバラツキを20%以下とし、レジストを用いて選択的に前記残余の層の不要部分を除去し、前記残余の層に所定の配線パターンを形成するエッチング処理を施すこと、

を特徴とする請求項34に記載の多層回路配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を搭載する多層回路配線板、半導体パッケージ、及びそれらの製造方法に関する。

【0002】

【従来の技術】

半導体大規模集積回路（LSI）等の半導体素子には、近年、動作速度がクロック周波数で1GHzに達するものが出現している。この様な高速半導体素子では、トランジスターの集積度は高く、そのため、入出力端子数が1000を越えることもある。

【0003】

この様な多端子数の半導体素子をプリント配線基板に実装するために、種々の技術が開発されている。現在広く実用化されているものとしては、例えばBGA（Ball Grid Array）やCSP（Chip Size Package）等のインターポーラーがある。

【0004】

図13は、BGA構造のインターポーラーに半導体素子を搭載し、プリント配線基板へ実装したICパッケージの一例を示したものである。

【0005】

図13において、多層回路配線板53は、ガラス布にエポキシ樹脂等を含浸した銅貼基板（ガラスエポキシ基板）530と、絶縁層、導体配線層を交互に積層した第1の層531と第2の層532とを有している。第1の層531はガラスエポキシ基板530の一方の面に、第2の層532は他方の面に形成されている。第1の層531表面には、表面処理された金等によるパッド536と、半導体

素子54の図示していない電極と電気接続を取るためのバンプ537が、金等で形成されている。また、第2の層532表面には、半田ボール52を介してプリント配線基板51の導体配線層511と接続するためのパッド538が、表面処理された金等にて形成されている。パッド536とパッド538とは、スルーホール533、ビアホール535にて通電がとられている。

【0006】

このように、ガラスエポキシ基板上に絶縁樹脂層と導体配線層を逐次積み上げて多層回路配線板を形成する手法は、ビルドアップ工法と呼ばれる。この技術の詳細は、たとえば、特開平4-148590号広報に記載されている。

【0007】

この工法では、従来の一括積層される多層回路配線板の絶縁層のように、ガラスクロスなどの芯材を使用しない。すなわち、多層回路配線板531或いは532の絶縁層は、感光性樹脂組成物をガラスエポキシ基板上に塗布し、硬化させることにより形成される。一方、多層回路配線板531或いは532の配線パターンは、従来の多層回路配線板と異なり、めっきで形成される。このため、多層回路配線板531或いは532には、従来の多層回路配線板よりも微細な配線パターンを形成することができる。例えば、ライン幅、 $50\text{ }\mu\text{m}$ 、スペース幅、 $50\text{ }\mu\text{m}$ 程度の配線ラインが形成可能である。

【0008】

上下の導体配線層を接続するスルーホール(ビアホールともいう)535は、樹脂組成物の感光性を利用してフォトリソグラフィーによる微細な孔を形成し、当該孔をめっきすることで形成される。従来の一括積層される多層回路配線板のスルーホールの径は $300\text{ }\mu\text{m}$ が限界であるのに対し、この工法では $100\text{ }\mu\text{m}$ 程度の孔を形成することができ、高密度化を図ることができる。

【0009】

しかしながら、従来の多層回路配線板の構造は、高密度化、信号伝達の高速化、量産化の観点において、例えば以下の問題を抱えている。

【0010】

第1に、ビルドアップ工法における導体配線層は、絶縁樹脂上に無電解めっき

、さらに、電解めっきによって形成される。一般的に絶縁樹脂上の無電解めっき層の接着力は低い。このため、無電解めっきの前、絶縁樹脂表面に最大5から10 μmの凹凸を形成してアンカー効果で接着力を向上させている。この凹凸のため、エッチング等で配線パターンを形成する際に、パターンの直線性が得られなくなる。50 μm幅以下のパターンでは、この幅方向のばらつきが無視できなくなり。高速信号を通す際、反射によるノイズが大きくなるといった問題点が発生する。このため、従来のビルドアップ工法では、高密度にて信号伝達の高速化可能な多層回路配線板、具体的には、

50 μm以下の微細なライン、アンド、スペースを有する配線パターンを持つ多層回路配線板、ICパッケージを形成することは困難である。

【0011】

第2に、ガラスエポキシ基板には可撓性が無いため、長尺基材を用い、連続的に多層回路配線板を作成するロール・ツー・ロール工程を採用できず、量産化することは困難である。

【0012】

第3に、上述の如く、半導体素子内の処理速度の高速化に伴って、半導体素子の入出力端子数は増加する。この様な状況では、インターポーラとの接続方法は、ワイヤーボンディングでは対応しきれない。一方、インターポーラ内の接続端子からの配線は、单層では困難になり、少なくとも2層に分けての引き回しを行う場合がある。また、信号の高速化に対応するため、配線のマイクロストリップ構造やストリップ構造、あるいは、コプレナー構造といった多層化が必要になる場合もある。

【0013】

しかしながら、インターポーラを製造する側からみると、層数の増加は製造収率を著しく落とすことになる。このため、いかにして配線を効率的に配置させ、層数を減らす設計を行うかが重要である。効率的な配線を形成するため、より微細なライン、アンド、スペースを有する配線パターンを持つ多層回路配線板、ICパッケージの要求が高まっている。

【0014】

【発明が解決しようとする課題】

本発明は上記課題に鑑みてなされたものであって、微細なライン、アンド、スペースを有する配線パターンを形成することが可能であり、更に、長尺基材を用い、連続的に多層回路配線板を作成するロール・ツー・ロール工程を採用することができる多層回路配線板の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明は、上記目的を達成するため、次のような手段を講じている。

【0016】

本発明の第1の視点は、一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のビアホールと、を有する第1のフィルムと、一方の面にIC実装用の第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面上に積層された第2のフィルムと、一方の面にプリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記他方の面上に積層された第3のフィルムと、前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のビアホールと、前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のビアホールと、を具備することを特徴とする多層回路配線板である。

【0017】

本発明の第2の視点は、ICと、当該ICを実装する多層回路配線板と、からなるICパッケージであって、前記多層回路配線板は、一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のビアホールと、有する第1のフィルムと、一方の面上に前記ICを実装するための第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面上に積層された第2のフィルムと、一方の面にプリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第

1のフィルムの前記他方の面に積層された第3のフィルムと、前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のビアホールと、前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のビアホールと、を具備すること、を特徴とするICパッケージである。

【0018】

本発明の第3の視点は、ICと、当該ICを実装する多層回路配線板と、当該多層回路配線板を実装するプリント配線基板からなるICパッケージであって、前記多層回路配線板は、一方の面に形成された第1の配線パターンと、他方の面に形成された第2の配線パターンと、前記第1の配線パターンと前記第2の配線パターンとを電気的に接続する第1のビアホールと、有する第1のフィルムと、一方の面上に前記ICを実装するための第3の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記一方の面上に積層された第2のフィルムと、一方の面上に前記プリント配線基板と電気的接続をとるための第4の配線パターンを有し、当該一方の面と反対側の面にて前記第1のフィルムの前記他方の面上に積層された第3のフィルムと、前記第1の配線パターンと前記第3のパターンとを電気的に接続する第2のビアホールと、前記第2の配線パターンと前記第4のパターンとを電気的に接続する第3のビアホールと、を具備すること、を特徴とするICパッケージである。

【0019】

本発明の第4の視点は、一方の面上に第1の導体層を、他方の面上に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビアホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、前記第

1の導体層にICを実装するための配線パターンを形成し、前記第2の導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、を具備することを特徴とする多層回路配線板の製造方法である。

【0020】

本発明の第5の視点は、一方の面に第1の導体層を、他方の面に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、前記第1のフィルムの前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビアホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、前記第3の導体層及び前記第4の導体層に所定の配線パターンを形成し、前記第3の導体層の配線パターン側に、第3の絶縁層と当該第3の絶縁層上に形成された第5の導体層とを有する第4のフィルムを積層し、前記第2の導体層の配線パターン側に、第4の絶縁層と当該第4の絶縁層上に形成された第6の導体層とを有する第5のフィルムを積層し、前記第3の導体層の配線パターンと前記第5の導体層とを電気的に接続する第4のビアホール、及び前記第4の導体層の配線パターンと前記第6の導体層とを電気的に接続する第5ビアホールを形成し、前記第3の導体層にICを実装するための配線パターンを形成し、前記第4の導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、を具備することを特徴とする多層回路配線板の製造方法である。

【0021】

本発明の第6の視点は、(a)一方の面に第1の導体層を、他方の面に第2の導体層を有する第1のフィルムに、前記第1の導体層と前記第2の導体層とを電気的に接続する第1のビアホールを形成し、(b)前記第1の導体層に第1の配線パターンを、前記第2の導体層に第2の配線パターンを形成し、(c)前記第

1のフィルムの前記一方の面上に、第1の絶縁層と当該第1の絶縁層上に形成された第3の導体層とを有する第2のフィルムを、当該第1の絶縁層側にて積層し、(d)前記第1のフィルムの前記他方の面上に、第2の絶縁層と当該第2の絶縁層上に形成された第4の導体層とを有する第3のフィルムを、当該第2の絶縁層側にて積層し、(e)前記第3の導体層と前記第1の配線パターンとを電気的に接続する第2のビアホール、及び前記第4の導体層と前記第2の配線パターンとを電気的に接続する第3ビアホールを形成し、(f)前記第3の導体層及び前記第4の導体層に所定の配線パターンを形成し、(g)前記第3の導体層の配線パターン側に、第3の絶縁層と当該第3の絶縁層上に形成された第5の導体層とを有する第4のフィルムを積層し、(h)前記第2の導体層の配線パターン側に、第4の絶縁層と当該第4の絶縁層上に形成された第6の導体層とを有する第5のフィルムを積層し、(i)前記第3の導体層の配線パターンと前記第5の導体層とを電気的に接続する第4のビアホール、及び前記第4の導体層の配線パターンと前記第6の導体層とを電気的に接続する第5ビアホールを形成し、前記(g)乃至前記(i)の工程を、必要な層数だけ繰り返し、前記一方の面の最も外側に位置する導体層にICを実装するための配線パターンを形成し、前記一方の面の最も外側に位置する導体層にプリント配線基板と電気的に接続するための配線パターンを形成すること、を特徴とする多層回路配線板の製造方法である。

【0022】

このような構成によれば、微細なライン、アンド、スペースを有する配線パターンを有し、量産化可能な多層回路配線板、ICパッケージ、及び多層回路配線板の製造方法を実現することができる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態を図面に従って説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0024】

図1(a)は、半田ボール9、多層回路配線板11、IC12を有する、所謂

第1実装レベルのICパッケージ10を示している。図1(a)において、多層回路配線板11は、絶縁層131a、131b、131c、接着層15b、15c、配線パターン17a、17b、21、23、ビアホール19a、19bを具備している。この多層回路配線板11は、配線パターン21にてIC12を実装し、また、配線パターン23にて図示していないプリント配線基板に実装される。このICパッケージ10と図示していないプリント配線基板は、所謂第2実装レベルのICパッケージを構成する。

【0025】

絶縁層131a、131b、131cは、例えば、ポリイミド樹脂、ポリオレフィン樹脂、液晶ポリマー等からなるフィルムである。これらの中では、特にポリイミド樹脂が耐熱性に優れる点で望ましい。しかし、耐熱性、可撓性、平滑性、低吸水率を有するフィルムならば、他の素材からなるフィルムであってもかまわない。なお、本実施形態では、説明の簡単のため、絶縁層131a、131b、131cは、ポリイミド層であるとする。

【0026】

ポリイミド層131a、131b、131cの表面粗度は、JIS B 0601に示されている十点平均粗さ $R_z = 0.01 \sim 5.0$ の範囲であることが好ましい。これは、十点平均粗さ R_z が0.01より小さいと層間の密着強度を十分に得られなく層間の信頼性に問題があり、また R_z が5.0より大きいとファインパターンの形成が困難になるからである。

【0027】

配線パターン17a、17b、配線パターン21、配線パターン23は、それぞれポリイミド層131a、ポリイミド層131b、ポリイミド層131c上に積層された導体層から後述する手法にて形成される。この導体層の素材、すなわちパターン17a、17b、21、23配線の素材は、通常の配線基板に使用されるものをそのまま使用することができ、特に限定されるものではない。一般的には、例えば銅箔を用いることができる。この様に配線導体層に銅箔を用いる場合、平滑であれば、銅箔の種類に特に限定はなく、例えば電解銅箔、圧延銅箔等を利用することができる。

【0028】

また、図1に示した多層回路配線板11の配線パターン21側にはバンプ25を介してIC12が実装され、配線パターン23側にはハンダボール9を介してプリント配線基板（ハンダボール及びプリント配線基板共に図示せず。）が接続される。

【0029】

接着層15b、15cは、フィルム131aの一方の面にフィルム131bを、他方の面にフィルム13cを接着するための層である。この接着層15b、15cは、耐熱性、可撓性、平滑性、低吸水率を有するものであれば特に限定されるものではない。例えば、エポキシ系接着剤、ゴム系接着剤、ポリイミド系接着剤、ポリオレフィン系接着剤、アクリル系接着剤等を用いることができる。これらの中でも、特に、少なくともエポキシ硬化成分を系内に有している熱硬化性接着剤が望ましい。これは、熱可塑性接着剤が融点以上の加工温度で再び可塑性を示してしまうのに対して、エポキシ硬化成分を系内に有する熱硬化性接着剤は、積層後に熱硬化させることにより耐熱性を向上させることができ、信頼性に優れる硬化物を与えることができるからである。少なくともエポキシ硬化成分を含有してなることを特徴とする接着剤としては、エポキシ系接着剤はもちろんのこと、アクリル系材料にエポキシ硬化成分含有した接着剤、ポリイミド系材料にエポキシ硬化成分を含有した接着剤、ゴム系材料にエポキシ硬化成分を含有した接着剤等が挙げられる。なお、当然ながら、これらに限定する趣旨ではなく、他の接着剤でも構わない。

【0030】

ここで、本実施形態におけるエポキシ硬化成分とは、エポキシ化合物と反応する全ての硬化系を意味する。例えば、エポキシ化合物とアミン類との硬化反応、エポキシ化合物とカルボン酸類との硬化反応、エポキシ化合物とフェノール類との硬化反応、エポキシ化合物と酸無水物類との硬化反応、エポキシ化合物とポリアミド樹脂との硬化反応、イミダゾール類によるエポキシ化合物の硬化反応、潜在性硬化剤によるエポキシ化合物の硬化反応、更にはこれらの組み合わせ等による硬化反応である。当然ながら、エポキシ化合物と反応する硬化系は、これらの

例示に限定されるものではない。

【0031】

なお、接着層15b、15cの厚さは、 $30\mu m$ 以下であることが望ましい。接着剤厚が $30\mu m$ 以上であると、層間を接続させるためのビアホールのアスペクト比が大きくなり、ビアホールを信頼性よく導通させることが困難になるからである。

【0032】

ビアホール19は、各フィルム131a、131b、131c上に形成された配線パターン間の電気的導通を取る。そのため、当該ビアホール19の内側は、メッキ処理等が施される。

【0033】

バンプ25は、多層回路配線板11にIC12を実装するためのハンダである。

【0034】

この様な構成を有する多層回路配線板11は、ポリイミド樹脂等を使用しているので可撓性を有している。従って、ロール・ツー・ロール工法によって量産することが可能である。

【0035】

ここで、ロール・ツー・ロール工法について説明する。ロール・ツーロール工法とは、図1(b)に示すように、フィルム搬送に関してフィルムの巻き出し部および巻き取り部を備え、巻き出し巻き取り部の間に加工処理部を設けた工法の事である。この工法の利点は、生産性に優れていることである。巻き出し部および巻き取り部を備えることから、利用されるフィルムは一定の可撓性を有していなければならない。従って、従来のガラスエポキシ樹脂によるフィルムは、当該工法に使用することはできない。

【0036】

多層回路配線板11は、多層の回路配線(図1(a)では、配線パターン17a、17b、21、23の4層の回路配線)を有している。従って、端子数の多い半導体素子を実装可能であり、信号伝送を高速に効率良く行うことができ、ま

た、半導体素子の更なる高集積化も可能となる。さらに、各配線パターン17a、17b、21、23とポリイミド層131a、131b、131cとは、平滑かつ強固に接着されている。従って、特に強固な接着の為の凹凸を有する基板と比較した場合、多層回路配線板11は高い信号伝送効率を有している。

【0037】

また、後述する製造方法によれば、多層回路配線板11をさらに多層化（すなわち、4層以上の回路配線を設ける）することも可能である。これにより、さらに端子数の多い半導体素子の実装、信号伝送の高速化及び効率化、半導体素子の更なる高集積化も可能となる。

【0038】

(多層回路配線板の製造方法)

次に、多層回路配線板11の一般的な積層工程について説明する。なお、具体的な製造例については、実施例にて詳説する。

【0039】

多層回路配線板11の製造工程は、大きくフィルムの積層、ピアホールの形成、配線パターン形成の各工程に分けることができる。以下、各工程毎にその内容を説明する。

【0040】

(1. 積層工程)

積層工程では、少なくとも片面に配線パターンを有する一のフィルム上に、片面に導体層を有する他のフィルムを該導体層を外側にして積層する。特に限定するものではないが、この積層工程には、通常のプレスやラミネーター等の積層装置を利用できる。より好ましくは、気泡やボイドの発生を防ぐためには真空プレスや真空ラミネーターの利用が望ましい。また生産性に優れるという理由により、ロール・ツー・ロール工程で生産することが望ましい。

【0041】

フィルムの積層は、接着剤からなる接着層を新たに設けて行う場合と、接着性を有するフィルムを使用することで、新たに接着層を設けない場合とがある。接着性を有するフィルムとは、例えば、熱可塑性ポリイミドや液晶ポリマー等の熱

可塑性を示す熱可塑性フィルムである。これらのフィルムによれば、接着層を新たに設けることなくフィルム単体での積層が可能である。

【0042】

接着剤からなる接着層を設ける場合、本実施形態に用いられる接着剤の形態としては、ワニスタイル、フィルムタイプ等が考えられる。特に限定する趣旨ではないが、生産性に優れる点でフィルムタイプであることが望ましい。このフィルム状接着剤を用いた場合、例えば次の様な積層方法を挙げることができる。すなわち、少なくとも片面に配線を有するフィルム、フィルム状接着剤、片面に導体層を有するフィルムを同時に積層することで、積層化フィルムを作成することができる。その他、少なくとも片面に配線を有するフィルムにフィルム状接着剤をラミネートした後、片面に導体層を有するフィルムを積層する方法、予め片面に導体層を有するフィルムのフィルム側に接着層をラミネートしておき、これを少なくとも片面に配線を有するフィルムに積層する方法等が例示できる。

【0043】

ワニス接着剤を用いた場合、例えば次の様な積層方法を挙げることができる。すなわち、少なくとも片面に配線を有するフィルム上に接着剤を塗布することにより接着層を形成した後、片面に導体層を有するフィルムを積層して積層化フィルムを作成する。その他、予め片面に導体層を有するフィルムのフィルム側に接着剤を塗布した接着剤付きフィルムの接着層側を少なくとも片面に配線パターンを有するフィルム上に積層する方法等が例示できる。なお、当然ながら、例示した内容に限定する趣旨ではない。

【0044】

また、接着層は、一般的に例えばエポキシ系、ゴム系、ポリイミド系、ポリオレフィン系、アクリル系等の樹脂系を主成分とすることが好ましい。これは、組成にもよるが、薄膜の絶縁性を得るためにある。これらの樹脂系を主成分とした場合、樹脂加工時の低エネルギー密度レーザにて、ビアホール用の孔を形成することができる。

【0045】

接着剤を介して積層しない場合、例えば熱可塑性フィルムを用いることができ

る。この熱可塑性フィルムは接着性を有している。従って、少なくとも片面に配線パターンを有する当該熱可塑性フィルム上に、片面に導体層を有するフィルムを該導体層を外側にして積層することで、フィルムを積層化することができる。

【0046】

また、加工温度が非常に高温である熱可塑性フィルムを用いる場合は、積層は加工プロセスの点から、接着機能を有する接着層を介して行うことも可能である。その他、接着強度向上の観点から、熱可塑性フィルムに接着層を設けて積層する構成であってもよい。

【0047】

また、両面に配線を有するフィルム上に積層する場合には、片面ずつ積層する場合と、両面同時に積層する場合とがある。何れの手法によっても多層回路配線板11を製造することは可能であるが、生産性に優れる点で、両面同時に積層することが望ましい。

【0048】

(2. ピアホールの形成工程)

(2-1. ピアホール用孔の形成)

ピアホール用孔の加工には、機械ドリルや炭酸ガスレーザー光、紫外線レーザー光、エキシマーレーザー光等を用いることができる。機械ドリルは貫通孔のみを形成可能するのに対して、レーザー光を用いるドリル加工では貫通孔（スルーホールに対応）および非貫通孔（ブラインドビアに対応）の双方が形成可能である。

【0049】

レーザー光の種類には、炭酸ガスレーザー（波長9.3～10.6μm）、YAGレーザー（基本波の波長1.06μm）、紫外線領域のYAG、YLF、YAP、YV04レーザー（第3高調波の波長355nm、第4高調波の波長266nm）およびエキシマーレーザー（XeClの波長308nm、KrFの波長248nm、ArFの波長193nm）が、一般に加工機のレーザー光として利用されている。これらのレーザー光のうち、炭酸ガスレーザーの1パルス当たりのエネルギー密度が最も高い。また炭酸ガスレーザーによれば、孔形成の処理速度は高速である。しかし、微小径

の形成には限界があり、おおよそ $\phi 50 \mu\text{m}$ 程度であると言われている。

【0050】

また、ポリイミド層等に設けられた導体層へ直接加工を行う場合、光エネルギー吸收を高めるために黒化処理等の特殊処理を行う必要がある。金属の吸收波長とは波長帯が異なるためである。さらに、エキシマーレーザーは、ガスレーザーであるにもかかわらず、 $\phi 20 \mu\text{m}$ のような微小径も加工可能という利点がある。なお、高反射性の金属酸化膜マスクやレーザー媒体ガスの維持等の消耗品が高価なため、量産には向かない場合がある。

【0051】

YAG、YLF、YAP、YVO₄といった固体結晶を波長変換した紫外線レーザー光は、金属の吸收波長と重なるため、導体層を直接加工することができる。また、これらの紫外線レーザー光は、炭酸ガスレーザーに加工点の焦点も比べ微小径まで絞ることができるので、 $\phi 30 \mu\text{m}$ 以下の微小径の孔形成も可能である。なお、現在孔形成の速度が問題視されているが、レーザー光の高発振周波数化や加工ヘッドの多軸化により解決される方向にある。

【0052】

ところで、紫外線領域の波長は、絶縁樹脂の解離エネルギー以上であるため、光分解加工と呼ばれている。炭酸ガスレーザーは、熱加工であったため、樹脂加工残りである残渣（スミア）除去を行わなければピアホールの層間接続信頼性を得ることができない場合がある。しかし、紫外線レーザーを用いた場合には、樹脂の分子鎖を解離させることができるので、残渣発生も飛躍的に低減することができる。

【0053】

後述する実施例において具体的な処理は明らかにされるが、例えば、両面に回路配線基板を中心とし接着層を介し積層した基板（図2（a）参照）に対し、高エネルギー密度をもった紫外線レーザーを導体層に照射し貫通させる。また、ポリイミドフィルムに対しては、低エネルギー密度の紫外線レーザー光によって、非貫通孔であるブラインドビアを形成することが好ましい（図2（b））。ポリイミドフィルムを加工する低エネルギー密度では導体層は加工されないため、エ

エネルギー密度の差を利用して非貫通孔が形成可能である。

【0054】

(2-2. ドロス除去)

一般に、紫外線レーザー光は、金属に対して熱融解加工的な要素が強く、この様に紫外線レーザー光にて融解した金属は、飛散することが知られている。本製造方法においても、導体層に直接孔形成を行うと、導体層を形成する金属が加工後に飛散する。この飛散金属はドロスとも呼ばれ、レーザー光による加工後には必ず除去工程が必要である。なぜなら、ドロスは $1 \sim 3 \mu\text{m}$ 程度、孔の開口端に盛り上がり、次工程の薬液処理の障害物となる可能性があるからである。

【0055】

この様なドロスは、砥粒子を用いた物理的研磨、酸処理による化学的研磨、又は紫外線レーザー光をドロスに再照射し平坦化する方法等により除去することができる。各除去法の特性は、次の様である。

【0056】

物理的研磨は、例えばバフロールや平板研磨紙を用いて基板全体を研磨する。従って、フィルム基板の場合、延伸の発生が懸念される。また、研磨後の不要物がビアホール内に滞留することも懸念される。化学的研磨はドロスを酸等により溶かすため、不要物の問題は払拭される。また化学的研磨によれば、適度な濃度や薬液によりドロス部のみを除去処理することも可能である。ドロス部は、微小な凹凸を持つからである。

【0057】

レーザー光ではドロスを除去するのではなく平坦化することにより次工程の障害にならないようにするものである。物理・化学的研磨であると専用の製造ラインが必要であるが、孔形成直後に同じレーザー装置を用いてドロスの処理を行うことで製造ラインを短縮することができる。一方で1穴ごとの処理であるために処理速度が問題視される可能性もある。

【0058】

以上、ドロスの除去について例示したが、採用可能な工法は、上記になんら限定されるものではない。

【0059】

(2-3. アスペクト比の調節)

形成されるビアホールは、薬液処理を円滑にするために、テーパ形状であることが好ましい。具体的には、開口径に対しての底部径の比を0.2~1.0とするのが好適である。なお、この開口径に対しての底部径の比が1.0以上である場合には、ビアホールは逆テーパ形状であり、その数値が小さければ順テーパの度合いが大きいことを示す。

【0060】

一般的に、薬液処理をはじめとする湿式処理では順テーパであった方がビアホール内の液循環は容易である。しかしながら底部径の比が小さいと下層導体との接触面積が小さいことを意味し、ビアホールの接続信頼性を損なうことも一方で考えられるため、好ましくは0.4~0.8程度である必要がある。

【0061】

従来のビアホールのアスペクト比（絶縁層の厚さ／ビアホール開孔径）は0.5程度（例えばビアホール開口径 $\phi 100\mu m$ に対し、絶縁層厚 $50\mu m$ ）である。そのため、薬液処理時のビアホール内への液循環が問題にされることはあるまい。しかしながら、微小径を設計・加工する場合にはアスペクト比は1もしくは1以上となり、ビアホール内への液循環への配慮が必要である。液循環が乏しくなると、ビアホール内に空隙（ボイド）が発生しやすくなり、ビアホールの接続信頼性を低下させることになるからである。

【0062】

本実施形態では、薬液の循環を円滑に行うため、ビアホール用孔を形成する工程の前後で、導体層の膜厚を減少させアスペクト比を低減させる。具体的な工法は、ドロス除去時と同様の処理、すなわち物理的研磨、化学的研磨、レーザー光による処理が考えられる。物理研磨および化学的研磨は、フィルム基板全面に対しての処理であるため、上面導体の膜厚を一面に減少させることができる。また、レーザー光による処理では、ビアホールの開口端のみを選択的に処理し、ビアホール毎のアスペクト比を低減させる。このような処理を用い、アスペクト比を1.5以下好ましくは1.0以下まで低減させ次工程の薬液処理をサポートする

ことができる。

【0063】

なお、製造ライン短縮化の観点から、ビアホールのアスペクト比低減は、ドロス除去と同時に行なうことが好ましい。

【0064】

(2-4. 残渣(スミア)除去:デスマニア)

紫外線レーザー光によるビアホール用孔形成後、レーザー光が照射されても完全に除去できない樹脂残りである残渣(スミア)が、特にビアホール底部の端付近に存在する場合がある。この場合、残渣除去を行うことで、ビアホールの層間接続信頼性を上げることができる。残渣除去はデスマニアと呼ばれる。存在する残渣は非常に微量である。しかし、除去を行わないと、ビアホールの接続を妨げ、信頼性を低下させる。残渣除去には乾式、湿式法がある。乾式である場合には、フッ素および酸素の混合ガスのプラズマ雰囲気中における酸素ラジカルにより残渣と化学反応させ除去する。一方、湿式である場合には、アルカリ溶液の過マンガン酸塩により残渣を溶解させ除去することができる。

【0065】

残渣除去用の処理液は、処理速度が速いことから、湿式である過マンガン酸塩が一般的に用いられる。この方法では、酸化分解によって表面を粗面化し、アンカー効果によってめっき金属との接着性が付与される。また、樹脂表面に酸素原子を導入し、さらに極性基を導入することにより親水性を高め、めっき液の濡れ性を向上させ、接着力を向上させるものである。

【0066】

また、ポリイミドを絶縁材料として使用する場合には、アルカリ処理を施せば、孔側面に露出しているポリイミドのイミド環を開環させ、カルボキシル基とアミノ基を表面に形成することができる。これにより、次工程における金属被膜形成のためのパラジウム金属との密着性を向上することができる。

【0067】

デスマニア後にはビアホール内に例えば金属被膜を生成し、それを電極として孔内部の壁面や底部から一定厚のめっき形成を行うことでビアホールが完成する。

ビアホールを電解めっきにより形成するためには、この導通化処理が必要である。この処理が不十分であると、ビアホール内の空隙の大きな要因となるので、注意が必要である。

【0068】

(2-5. 導通化処理)

ビアホール用孔内の導通化処理には、DPS（ダイレクトプレーティングシステム）と無電解銅めっきとに大別される。DPSは、例えばスズ-パラジウムコロイド、導電性ポリマー、カーボングラファイト等をビアホール用孔内の全面に付与し、負に帯電している分子を吸着させ、続いて、還元剤により金属パラジウムに還元させる工法である。一方、無電解銅めっきは、例えばパラジウム水溶液で処理する銅との置換反応でパラジウム金属を析出させる工法である。

【0069】

両者を比較すると、どちらも触媒置換型のめっき技術である。しかし、工程時間の観点では、DPSの方が工程が少なく、時間も短い工法であると言える。また、導通検査の容易性では、無電解銅めっきでは、金属被膜が一度生成され、無電解銅めっき後に検査することで、導通化処理の確認を行うことができる。一方、DPSでは触媒を核とし金属被膜が電解銅めっき中に形成されるので検査を行うことはできない。

【0070】

(2-6. 電解めっき)

ビアホール用孔内の導通化処理後に、フィルム基板を陰極として電解めっきが行われる。通常は、コストと生産性の観点から、電解銅めっきが選択される。この電解銅めっきは、必ず行う必要がある。電解銅めっきを行わなければ、DPSではビアホールが形成できず、無電解銅めっきではめっきの析出速度が $1 \sim 3 \mu\text{m}/\text{時間}$ であるため、そのままでは量産性に欠けるからである。電解めっきではフィルム基板と陰極として、硫酸銅を主成分とした電解浴中で電流密度を $1 \sim 4 \text{ A/dm}^2$ 程度負荷し、数十分間電圧を負荷しつづけることで電解銅めっきが成長する。

【0071】

なお、電解銅めっきにおける電流密度により、次のような差異がある。すなわ

ち、ピアホールの形状（例えば開口径やアスペクト比）にも依存するが、高電流密度（例えば、 4 A/dm^2 ）により電解めっきを実行した場合には、めっきの成長が早い反面、めっき液のピアホール内循環が不十分であれば空隙となる危険性も高い。一方、低い電流密度（例えば、 1 A/dm^2 ）により電解めっきを実行した場合には、めっきの成長が遅い分、空隙が発生する確率は低くなる反面、生産性に劣る。なお、ピアホールの品質向上及び生産性の観点から、電流密度は $1\sim 4\text{ A/dm}^2$ 程度とすることが好ましい。

【0072】

なお、ピアホールを形成する際に2段階以上の電流密度を用いることで、空隙発生を抑制しつつピアホール形成速度を上昇させ、生産性を向上させることが可能である。例えば電流密度を、電解めっきによるピアホールのアスペクト比が $1.0\rightarrow 0.6$ となるまでは 1 A/dm^2 で、 $0.6\rightarrow 0.3$ となるまでは 2 A/dm^2 で、 $0.3\rightarrow 0$ となるまでは 4 A/dm^2 で負荷することが考えられる。ここで、アスペクト比0とはピアホールの完成を意味する。

【0073】

このようにすることで空隙発生の抑制および生産性の向上を備えた電解銅めっき法を実現することができる。

【0074】

さらに、この電解めっき法を実現させるには複数の浴槽を持つ製造ラインを用いればよく、既存のめっき装置で十分に対応可能である。加えて、以上述べた製造方法は、ピアホールの形状になんら規定されることはなく、例えば孔壁面に一定膜厚を形成するピアホール形状（コンフォーマルビア）、孔内部を完全充填するピアホール形状（フィルドビア）のどちらの形状でも対応可能である。

【0075】

（3. 配線パターン形成工程）

配線加工の為の手法として、エッチング処理を利用したサブトラクティブ法と、電解めっきを利用したセミアディティブ法がある。なお、後述する実施例で説明される具体的工程を示す図面を適宜参照するが、その内容に限定する趣旨ではない。

【0076】

<サブトラクティブ法>

サブトラクティブ法では、ポリイミド層上の導体層にビアの導通を採った際、めっき層が形成され膜厚が大きくなってしまう（例えば、図4（b）のめっき層28参照）。従って、エッティングによる配線加工ではサイドエッティングの影響が大きく、配線加工が困難となるから、めっき層と導体層とにソフトエッティングを施し、所望の膜厚にする必要がある。この時の膜厚は、3～10 μmが適当であり、膜厚のバラツキは20%以内に抑えることが好ましい。

【0077】

ソフトエッティングの処理液は、導体層の材質によって選択される。例えば、導体層及びめっき層として一般的に用いられる銅を使用した場合には、過酸化水素水+硫酸系、または、ペルオクソ二硫酸ナトリウム、ペルオクソ二硫酸アンモニウム等のペルオクソ二硫酸塩系が考えられる。

【0078】

ソフトエッティング処理の後、導体層上にレジスト層を形成し、更に当該レジスト層を所望のパターン状のマスクに形成する。図4（c）は、後述する実施例1の配線加工工程にて形成されたレジスト層30を示している。

【0079】

このレジスト層は、基本的には導体層加工時のエッティング液耐性があり、最後のレジスト層除去工程で容易に除去可能な材料を選択することが好ましい。レジスト層は、開口部の形成方法によって選択できる。開口部に対してフォトリソグラフィー法を用いて形成する場合は、エッティング液耐性のある感光性樹脂を使用することが好ましい。具体的には、ドライフィルムレジストや液状感光性樹脂レジストが好適である。エッティング液が開口部に入りやすく、且つエッティング処理中に破損しない程度の3～7 μm程度の膜厚でレジスト層を形成可能だからである。また、開口部をレーザ加工にて形成する場合は、レジスト層として広い範囲の樹脂が選択できる。ただし、後工程のレジスト層除去工程の容易性を考慮すると、感光性樹脂を使用することが好ましい。

【0080】

なお、必要に応じて、配線加工面と反対側の基板表面を保護する目的で、配線回路形成面とは反対面にレジスト層を形成する構成であってもよい（すなわち、図4（c）において、導体層130bに配線加工する場合、導体層132c上にレジスト層30を形成する構成であってもよい）。反対面のレジスト層は、めっき液耐性があり、容易に除去可能な材料であれば、必ずしも配線加工面に形成されたレジスト層と同様のものを選択する必要は無い。

【0081】

こうして形成された上記レジスト層をエッチングマスクとして、導体層にエッティング処理が施され、配線パターンが加工される（図5（a）参照）。このエッティング処理に使用されるエッティング液は、導体層の材質によって選択される。例えば、導体層として銅を使用した場合には、エッティング液として、一般的に塩化第二鉄液や塩化第二銅液等が使用できる。さらにこれらのうち、エッティング処理速度やエッティング処理面の仕上がりの観点からは、塩化第二鉄液を使用することが好ましい。一方、連続運転時のエッティング液の管理の容易さと安定性の観点からは、塩化第二銅液を使用することが好ましい。

【0082】

最後に、レジスト層を除去して配線回路基板を得られる（図5（b）参照）。

【0083】

<セミアディティブ法>

セミアディティブ法では、まず、図6（a）に示す導体層28、29をソフトエッティングにより所望の膜厚まで薄膜化する。この時の膜厚は、最後の薄膜導体層除去工程でソフトエッティングにて不要部を除去するため、 $0.5\sim 3 \mu m$ が適当である、また、膜厚のバラツキは、20%以内に抑える必要がある。なお、ソフトエッティングの処理液は、サブトラクティブ法と同様のものが使用できる。

【0084】

次に、薄膜化した導体層28、29上にレジスト層30を形成し（図6（b）参照）、レジスト層30に所望のパターン状の開口部32を形成する（図7（a）参照）。このとき、レジスト層30は、基本的には導体層形成時のめっき液耐性があり、後のレジスト層除去工程で容易に除去可能な材料を選択する必要があ

る。

【0085】

レジスト層30は、開口部32の形成方法によって選択できる。開口部32に對してフォトリソグラフィー法を用いて形成する場合は、めっき耐性のある感光性樹脂が使用できる。一般的には、均一な膜厚のレジスト層が得られ、プロセスを容易にできることから、ドライフィルムが好適である。また、開口部をレーザ加工にて形成する場合はレジスト層として広い範囲の樹脂が選択できる。ただし、後工程のレジスト層除去工程の容易性を考慮すると感光性樹脂を使用するのが好適である。

【0086】

なお、図6(b)、図7(a)において、例えば導体層130bにのみ配線パターンを形成する場合（すなわち、導体層132cには配線パターンを形成しない場合）であっても、必要に応じて、導体層132cにレジスト層30を形成する構成であってもよい。こうすることで、加工面と反対側の表面を保護することができる。この場合、導体層132c側のレジスト層30は、めっき液耐性があり、容易に除去可能な材料であれば、必ずしも導体層130b側に形成したレジスト層30と同様のものを選択する必要は無い。

【0087】

次に、図7(b)に示すように、レジスト層30の開口部内の薄膜導体層130b、132c上に電解めっきを施し、所望の膜厚のめっき層33、34を形成する。このとき、電解めっき浴は、フィルドめっき浴を使用するのが好ましい。このフィルドめっき浴とは、配線回路基板等の孔部に導体を充填する目的で、添加剤として高分子界面活性剤、4級アンモニウム塩、スルフィド部分を有する化合物等を加えた電解めっき浴である。

【0088】

めっき高さは、最後の薄膜導体層除去工程にて化学研磨を用いる際に、めっき層も同時に研磨されることを考慮に入れ、所望の厚さよりも0.5~3μm程度高めに形成するのが望ましい。

【0089】

なお、めっき層33、34形成前において、導体層130b、132cとめっき層の密着性を上げるために、下地処理を行うことが望ましい。これは、後のめっき工程にて、導体層130b、132cとめっき層の密着性が低いとロール・ツー・ロール工程にてフィルムを巻き取ったときなどに、導体層5とめっき層が剥離する恐れがあるからである。

【0090】

この電解めっき130b、132cの前の下地処理では、例えば次の様な処理を行う。すなわち、希硫酸等による酸洗処理にて導体層の表面の酸化皮膜を除去する。このとき、硫酸等に活性剤等を添加した酸性クリーナーを使用し、導体層130b、132cの酸化皮膜除去と同時にレジスト層30の開口部内に残ったレジストの残渣を除去すると、更にめっき層との密着性を高くすることができる。更に、酸洗後にソフトエッティング処理を施し導体層5の酸化皮膜を完全に研磨することで、めっき層との密着性を更に高めることができる。

【0091】

発明者らの実験によれば、この下地処理を施すことにより、次のめっき層形成工程で電流密度を $2 \sim 4 \text{ A/dm}^2$ 程度にて形成してもめっき層と導体層5の剥離が発生しない。従って、一般に、めっき層形成工程で使われている電流密度 $1 \sim 2 \text{ A/dm}^2$ に比べ、短時間でめっき層を形成し生産性を向上させることができます。

【0092】

次に、レジスト層30を除去し、ソフトエッティング処理にて、薄膜導体層130b、132cの不要部を除去することで、図8に示すような多層回路配線基板40が得られる。

【0093】

サブトラクティブ法とセミアディティブ法を比較すると、サブトラクティブ法は、工程数が少なく容易である。一方、セミアディティブ法は、サイドエッティングの影響が大きいサブトラクティブ法に比べて、より微細な配線パターンの形成に有利である。

【0094】

以上述べた製造工程を経て、各層ごとに配線パターン形成手段を替えることにより、より微細なラインアンドスペースの配線パターンを有する多層回路配線板を容易に得ることができる。即ち、微細な配線パターンを有する層はセミアディティブ法、それ以外の層はサブトラクティブ法で加工することが望ましい。二つの方法の切り替えの判断基準は、要求される配線回路の膜厚にもよるが、例えば配線ピッチが $30\ \mu m$ 以下の場合には、セミアディティブ法を採用するのが望ましい。この範囲では、サブトラクティブ法での加工は非常に困難であるためからである。

【0095】

上記製造工程の説明は、4層の多層回路配線板を製造するためのものである。さらに、より多層の回路配線基板、例えば6層の多層回路配線板を製造するためには、4層の多層回路配線板に対し、上記製造方法にて2層加えればよい。

【0096】

以下、3つの実施例を用いて、多層回路配線板の具体的な製造方法を説明する

【0097】

(実施例1)

図2乃至図5に基づいて実施例1を説明する。本実施例1は、サブトラクティブ法による製造例である。

【0098】

まず、図2(a)に示した、ポリイミド層131a(例えば $25\ \mu m$)の両面に導体層(銅箔)130a、132a(例えば $12\ \mu m$)を付した両面導体層付ポリイミドテープ基板であるフィルム13aに対し、紫外線レーザーにより図2(b)に示すようにビアホール19aに対応する孔190を形成する。当該孔190に対し、ドロス除去、デスマニア処理を行った後、DPSおよび電解銅めっきにより、図3(a)に示すようにフィルム13aの一方の面と他方の面とを導通するビアホール19aを形成する。なお、この様に導体層(銅箔)130a、132a付きポリイミド層がらなるフィルム13aを使用したのは、銅箔とポリイミド層との接着が強固であり、従って接着の為の凹凸を設ける必要が無く、信号伝

達を良好にできる点、及び微細な配線パターン構造を形成可能な点等からである。

【0099】

続いて、フォトエッチング法により、フィルム13aの両面の導体層130a、132aに配線パターン（配線回路）17a、17bを形成し、図3（a）に示す配線パターン基板を製造する。なお、上記フォトエッチングの過程にて、当該配線パターン基板には図示していないアライメントマークが形成される。このアライメントマークは、以降の多層化工程におけるレーザー加工および露光時の加工基準となる。

【0100】

次に、接着層15b、15cを介在させて、ポリイミド層（例えば $13\mu\text{m}$ ）の片面に導体層（例えば $12\mu\text{m}$ ）が設けられたフィルム13b、13cを、図3（b）に示すように、フィルム13aに積層する。

【0101】

積層されたフィルム13b、13cの一方に対し、ゴム／エポキシ系接着層を用い、当該接着層の接着剤層が内側を向くようにして、例えば 180°C 、 $3\text{kg}/\text{cm}$ にてラミネーターによる仮圧着を行う。

【0102】

続いて、予め接着層の表裏に設けられているポリエチレンテレフタレートの剥離フィルムを剥離した後、片面導体層（銅箔）付きポリイミドテープ基板の導体層（銅箔）面が外側を向くように順に配置しラミネーターを用い 180°C 、 $3\text{kg}/\text{cm}$ で熱圧着する。この積層工程を両面2層フレキシブル回路板の反対面にも同様に行った後、得られた積層基板を 150°C で1時間加熱硬化を行う。配線回路17上の接着層の厚みは $5\mu\text{m}$ である。 131a 、 131b 、 131c はポリイミド樹脂、 130b 、 132c は銅から成る導体を示す。

【0103】

次に、波長 355nm の紫外線レーザー光を用いて、図3（b）に示した多層化基板に対し導体層 130b 、 130c 、ポリイミド層 131b 、 131c 、接着層 15b 、 15c に、それぞれ例えば $20\text{J}/\text{cm}^2$ 、 $2\text{J}/\text{cm}^2$ 、 $8\text{J}/\text{cm}^2$

m^2 のエネルギー密度のレーザー光を照射して孔 192 を形成する。照射されるパルス数は、それぞれ導体層 130 b、130 c に対し 5 パルス、ポリイミド層 131 b、131 c に対し 10 パルス、接着層 15 b、15 c に対し 5 パルスである。なお、孔 192 の開口径は $\phi 30 \mu\text{m}$ 、底部径は $\phi 18 \mu\text{m}$ であり、そのアスペクト比は 0.6 である。こうしたレーザー加工後、ドロス除去として 30 °C、20% ペルオクソニ硫酸ナトリウム水溶液を用いた化学研磨を施す。また、デスマニア処理として、70 °C、10% 過マンガン酸カリウム水溶液を用いる。

【0104】

スズーパラジウムコロイドによる DPS の後に、硫酸銅 225 g/L、硫酸 55 g/L、塩素イオン 60 mg/L、添加剤 20 mL を含み浴温を 25 °C に保った電解めっきを行う。なお、浴液は、例えば 5 L 每分のスプレーノズルを用いて攪拌する。続いて、 $1 \text{A}/\text{dm}^2$ の電流密度を負荷し、ビアホールのアスペクト比が 0.3 になるまで 20 分間電解めっきを行う。さらに、アスペクト比が 0 になるまで $2.5 \text{A}/\text{dm}^2$ の電流密度を 10 分間負荷して、図 4 (b) に示すようなビアホール 19 b (フィルドビア) を形成する。

【0105】

続いて、30 °C、20% ペルオクソニ硫酸アンモニウム水溶液を用いて、図 4 (b) に示すめっき工程により導体上に余分に析出しためっき銅層 28、29 を例えば約 60 秒程度スプレー噴射し、導体層 130 b、132 c の膜厚を例えば約 $9 \mu\text{m}$ までソフトエッチング処理にて研磨する。

【0106】

次に、導体層の表面にポジ型液状レジストをロールコーダにて塗布後、熱風及び IR 乾燥炉にておよそ 90 °C、5 分程度ポストベーク処理し、図 4 (c) に示すような $4 \mu\text{m}$ 厚のレジスト層 30 を形成する。

【0107】

次に、 $30 \mu\text{m}$ ピッチで並んだ線幅 $20 \mu\text{m}$ の直線からなるストライプ様の回路パターンを有するフォトマスクを用いて、水銀ランプを光源とした平行光にて、レジスト層 30 に対しマスク密着露光処理を施す。その後、有機アルカリ系現像液にて約 30 秒程度スプレー現像を行ってレジスト層の露光部分を除去し、図

5 (a) に示す開口部 31 を形成する。

【0108】

次に、導体層 130b、132c に比重 1.36、液温 50°C の塩化第二鉄液をおよそ 30 秒程度スプレー噴射し、エッティング処理を施すことで、ポリイミド層 131b 上の配線パターン 21、ポリイミド層 131c 上の配線パターン 23 を形成する。

【0109】

最後に、レジスト層 30 が設けられた基板 111 に 4% 水酸化ナトリウム水溶液をおよそ 15 秒程度スプレー噴射し、レジスト層 30 を剥離除去することで、図 5 (b) に示すような多層回路配線板 11 を得ることが出来る。

【0110】

本多層回路配線板 11 は、以上の工程から、 $30 \mu\text{m}$ ピッチで並んだ線幅 $1.5 \mu\text{m}$ の直線からなるストライプ様の膜厚 $9 \mu\text{m}$ の回路パターンを有するものである。この回路パターンは、フォトリソグラフィーでのレイアウトによって所望のパターンにすることが可能である。また、多層回路配線板 11 は、4 層つの回路配線（すなわち、パターン 21、パターン 23、配線パターン 17a、17b）を有するものである。この回路配線の層数は、必要に応じてさらに積層工程から繰り返すことで、6 層以上の回路配線を有する基板を製造することも可能である。

【0111】

なお、本実施例で実施される全ての工程（すなわち、図 2 乃至 図 5 に至るまでの全ての工程）は、ロール・ツー・ロール工程により製造可能である。柔軟性のあるポリイミドフィルム等を使用しているからである。また、紫外線レーザー加工および露光は片面毎に両面を逐次加工したが、それ以外の工程はすべて両面同時形成を行うことで、製造処理速度を向上させることが可能である。

【0112】

(実施例 2)

図 2 乃至 図 4 (b)、図 6 乃至 図 8 に基づいて実施例 2 を説明する。本実施例 2 は、セミアディティブ法による製造例である。

【0113】

まず、図2乃至図4（b）に対応する工程で説明したように、配線パターン17a、17bを形成したポリイミド層131aの一方の面に導体層（銅箔）130b付きポリイミドフィルム13bを、他方の面に導体層（銅箔）132c付きポリイミドフィルム13cを、それぞれ接着層15b、15cを介して積層させ、ピアホール19a、19bを形成して導通を探る。各工程における具体的な処理は、実施例1で説明した通りである。

【0114】

次に、図6（a）に示すように、ペルオクソニ硫酸ナトリウム水溶液をおよそ120秒程度スプレー噴射し、銅層28、29の膜厚を約 $1.0\mu\text{m}$ までソフトエッチング処理にて薄膜化する。なお、このソフトエッチング処理による薄膜化の際、めっきによって形成された銅層28、29が溶解され、さらに、もとからあった銅箔の銅層も一部溶解される。

【0115】

次に、薄膜化した銅層130b、132cの表面に $15\mu\text{m}$ 厚のネガ型のドライフィルムレジストをロールラミネータにて加熱圧着し、図6（b）に示すようにレジスト層30を形成する。

【0116】

次に、 $20\mu\text{m}$ ピッチで並んだ線幅 $10\mu\text{m}$ の直線からなるストライプ様の回路パターンを有するフォトマスクを用いて、水銀ランプを光源とした平行光にて、レジスト層30にマスク密着露光処理を施す。その後、1%炭酸ソーダにて現像を行ってレジスト層の未露光部分を除去し、図7（a）に示すような開口部32を形成する。

【0117】

次に、酸性クリーナーを用い、 40°C 、4分間の条件で酸洗洗浄し、更にペルオクソニ硫酸ナトリウム水溶液を15秒程度スプレー噴射してソフトエッチング処理を行い露出している導体層（銅箔）130b、132cの表面を研磨する。

【0118】

次に、レジスト層30の開口部32内の薄膜導体層上に配線形成のための電解

銅めっきを電流密度 $2\text{ A}/\text{dm}^2$ 、めっき時間10分にて施し、図7(b)に示すような $10\mu\text{m}$ 厚の銅めっき層33、34を形成する。

【0119】

次に、基板に5%水酸化ナトリウム水溶液をおよそ30秒程度スプレー噴射し、レジスト層30を剥離除去する。

【0120】

最後に、ペルオクソニ硫酸ナトリウムの水溶液をおよそ90秒程度スプレー噴射してソフトエッチング処理を行い、銅めっき層33、34が形成されていない導体層130b、132cの不要部を除去する。以上の各工程を経てし、図8に示すような $20\mu\text{m}$ ピッチで並んだ線幅 $10\mu\text{m}$ の直線からなるストライプ様の回路パターンを有する多層回路配線板40を得ることができる。

【0121】

なお、各配線回路のパターンは自在であること、更なる多層化が可能であること、ロール・ツー・ロール工程により製造可能であること、紫外線レーザー加工および露光は片面毎に両面を逐次加工する工程以外は、すべて両面同時形成可能であることは、第1の実施例の多層回路配線板11と同様である。

【0122】

(実施例3)

図9乃至図12に基づいて実施例3を説明する。本実施例3は、サブトラクティブ法とセミアディティブ法とを組み合わせて、6層の回路配線を有する多層回路配線板50を製造する為の例である。

【0123】

まず、実施例1で説明した方法により、図9(a)に示すような、 $30\mu\text{m}$ ピッチで並んだ線幅 $15\mu\text{m}$ の直線からなるストライプ様の配線パターンを有する4層回路基板である、多層回路配線板11を形成する。

【0124】

次に、図9(b)に示すように、多層回路配線板11の一方の面に導体層(銅箔) 130d とポリイミド層 131d とを有するフィルム 13d を、他方の面に導体層(銅箔) 132e とポリイミド層 131e とを有するフィルム 13e を、

それぞれ接着層15d、15eを介して積層する。

【0125】

その後、図10(a)、(b)に示すように、実施例1と同様の手法にてフィルム13dにビアホール19dを、フィルム13eにビアホール19eをそれぞれ形成し、両面同時に導通を探る。

【0126】

次に、図11(a)、(b)に示すように、実施例2と同様の手法によりめっき層44、45を形成する。

【0127】

最後に、導体層130d、132eを同時に配線パターンに加工する。

【0128】

以上の各工程を経て、図12に示すような、 $20\mu m$ ピッチで並んだ線幅10 μm の直線からなるストライプ様の配線パターン51、52を有する、6層の回路配線を有する多層回路配線板50を製造することができる。

【0129】

この多層回路配線板50の製造においても、各配線回路のパターンは自在であること、更なる多層化が可能であること、ロール・ツー・ロール工程により製造可能であること、紫外線レーザー加工および露光は片面毎に両面を逐次加工する工程以外は、すべて両面同時形成可能であることは、第1の実施例の多層回路配線板11と同様である。

【0130】

以上述べた構成によれば、以下の効果を得ることができる。

【0131】

本実施形態にて実現される多層回路配線板は、例えば絶縁層としてのポリイミド層と導体層としての銅箔とからなるフィルムを積層することで形成されている。従って、絶縁層と導体層との接着は強固であり、アンカー効果を発生させるための凹凸は非常に小さい。その結果、配線パターンの直線性を維持することができあり、幅方向のばらつきを防止することができるから、高密度にて信号伝達の高速化可能なものとなる。

【0132】

本実施形態にて実現される多層回路配線板は、可撓性のあるフィルムを積層することで形成されている。従って、長尺基材を用い、連続的に多層回路配線板を作成するロール・ツー・ロール工程が採用でき、量産化することが可能である。

【0133】

例えば、ポリイミド層と銅箔とからなるフィルムを採用した場合、微細なライン、アンド、スペースを有する配線パターンを容易に形成することが可能である。従って、従来の多層回路配線板に比して積層数を減らすことができる。その結果、小型化されたICパッケージを容易に量産することが可能である。

【0134】

以上、本発明を実施形態に基づき説明したが、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変形例及び修正例についても本発明の範囲に属するものと了解される。また、各実施形態は可能な限り適宜組み合わせて実施してもよく、その場合組合せた効果が得られる。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組合せにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0135】

【発明の効果】

本発明に係わる多層回路は縦線板の製造方法によれば、微細なライン、アンド、スペースを有する配線パターンを有し、量産化可能な多層回路配線板、ICパッケージ、及び多層回路配線板の製造方法を実現することができる。

【図面の簡単な説明】

【図1】

図1 (a) は、多層回路配線板11、IC12を有する、所謂第1実装レベルのICパッケージ10を示している。図1 (b) は、ロール・ツー・ロール工法

を説明するための図である。

【図2】

図2は、実施例1に係る多層回路配線板の製造方法を説明するための図である

【図3】

図3は、実施例1に係る多層回路配線板の製造方法を説明するための図である

【図4】

図4は、実施例1に係る多層回路配線板の製造方法を説明するための図である

【図5】

図5は、実施例1に係る多層回路配線板の製造方法を説明するための図である

【図6】

図6は、実施例2に係る多層回路配線板の製造方法を説明するための図である

【図7】

図7は、実施例2に係る多層回路配線板の製造方法を説明するための図である

【図8】

図8は、実施例2に係る多層回路配線板の製造方法を説明するための図である

【図9】

図9は、実施例3に係る多層回路配線板の製造方法を説明するための図である

【図10】

図10は、実施例3に係る多層回路配線板の製造方法を説明するための図である。

【図11】

図11は、実施例3に係る多層回路配線板の製造方法を説明するための図である。

【図12】

図12は、実施例3に係る多層回路配線板の製造方法を説明するための図である。

【図13】

図13は、BGA構造のインターポーザに半導体素子を搭載し、プリント配線基板へ実装したICパッケージの一例を示したものである。

【符号の説明】

10…ICパッケージ

11、40、50…多層回路配線板

12…IC

13a、13b、13c、13d、13e…フィルム

15b、15c、15d、15e…接着層

17a、17b…配線パターン

19a、19b、19d、19e…ビアホール

21、23…配線パターン

25…バンプ

28、29…導体層

30…レジスト層

31、32…開口部

130b…導体層

130b、132c、130d、132e…導体層

131a、131b、131c、131d、131e…絶縁層(ポリイミド層)

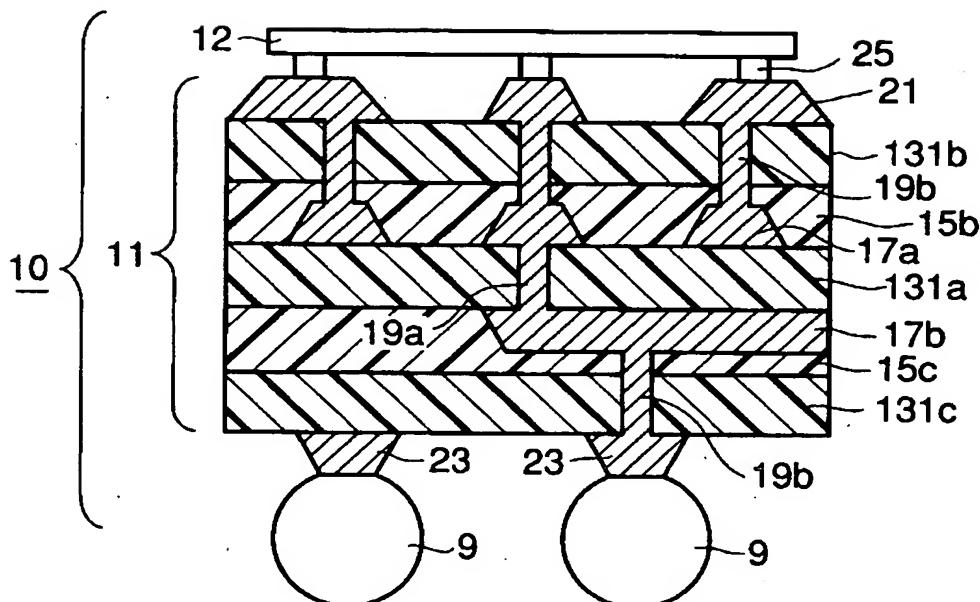
)

190、192…孔

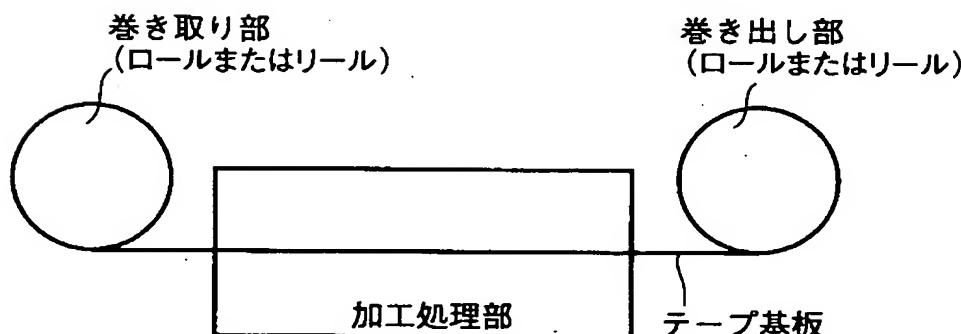
【書類名】

図面

【図1】

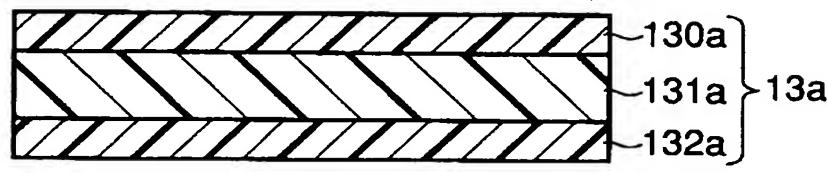


(a)

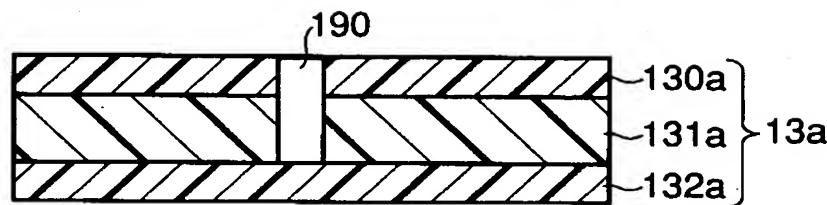


(b)

【図2】

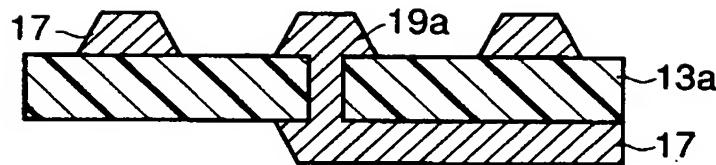


(a)

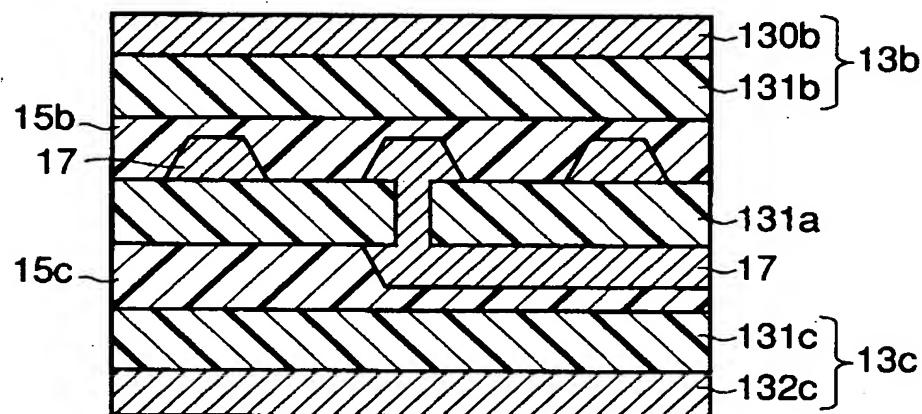


(b)

【図3】

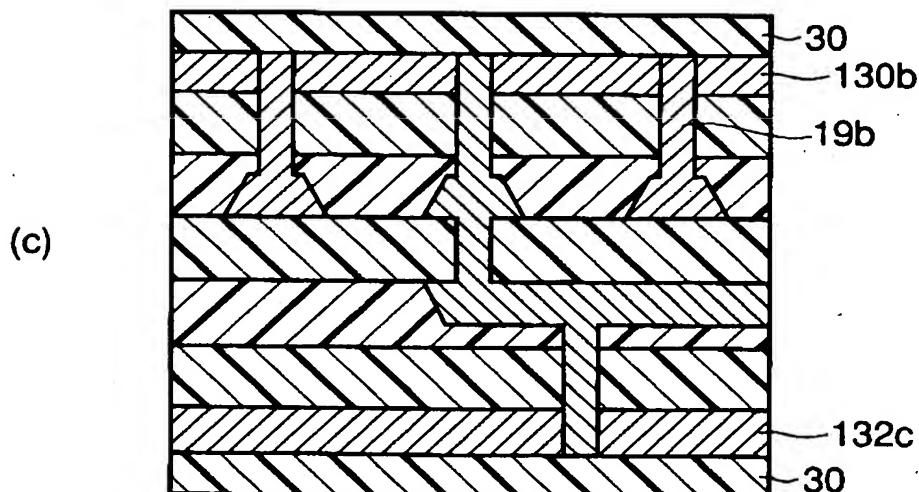
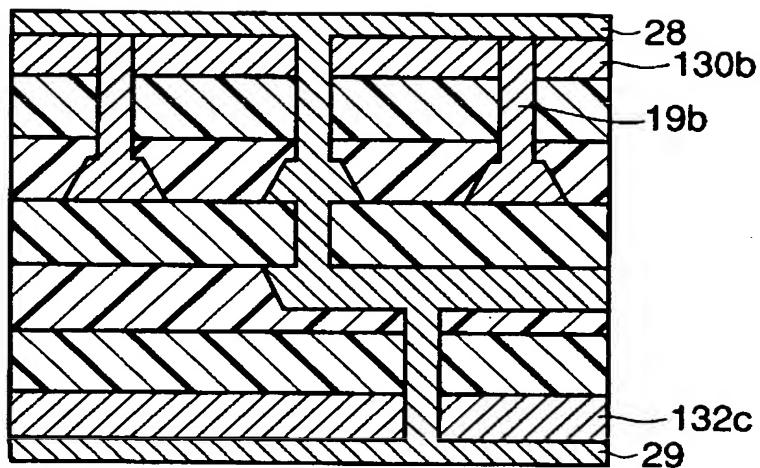
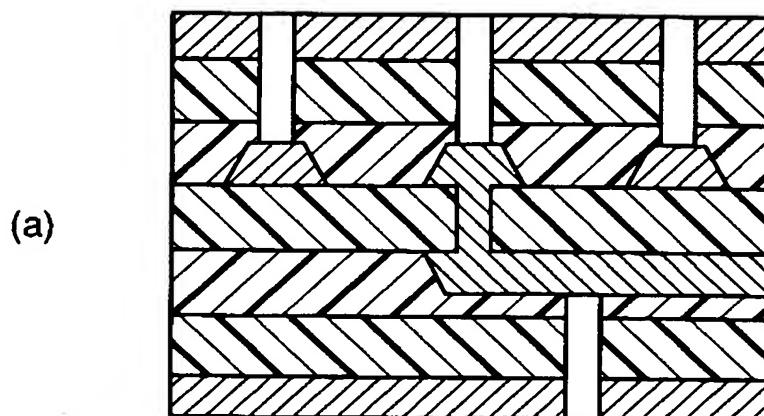


(a)

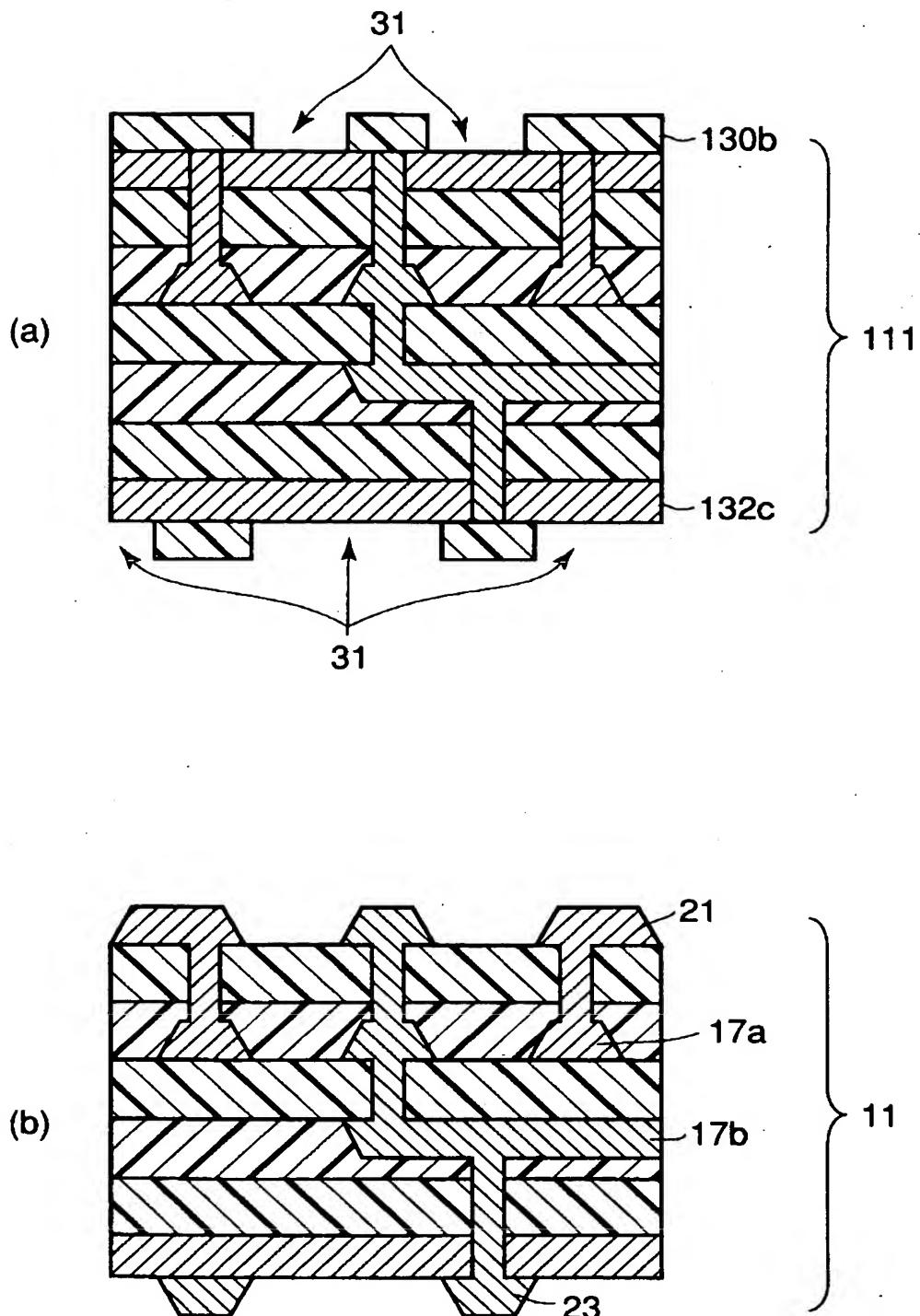


(b)

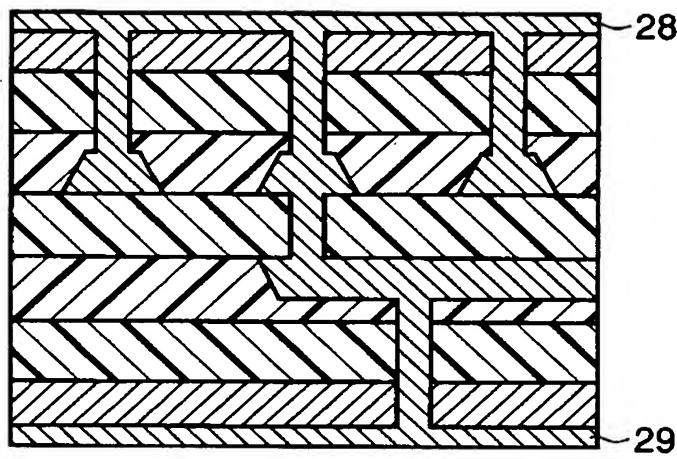
【図4】



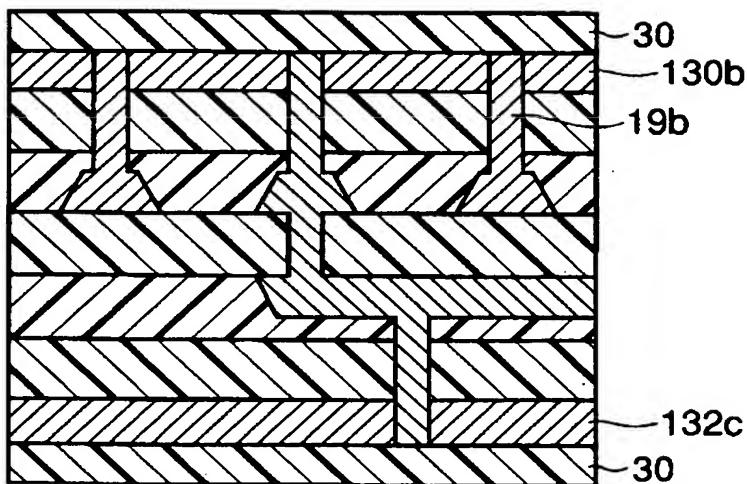
【図5】



【図6】

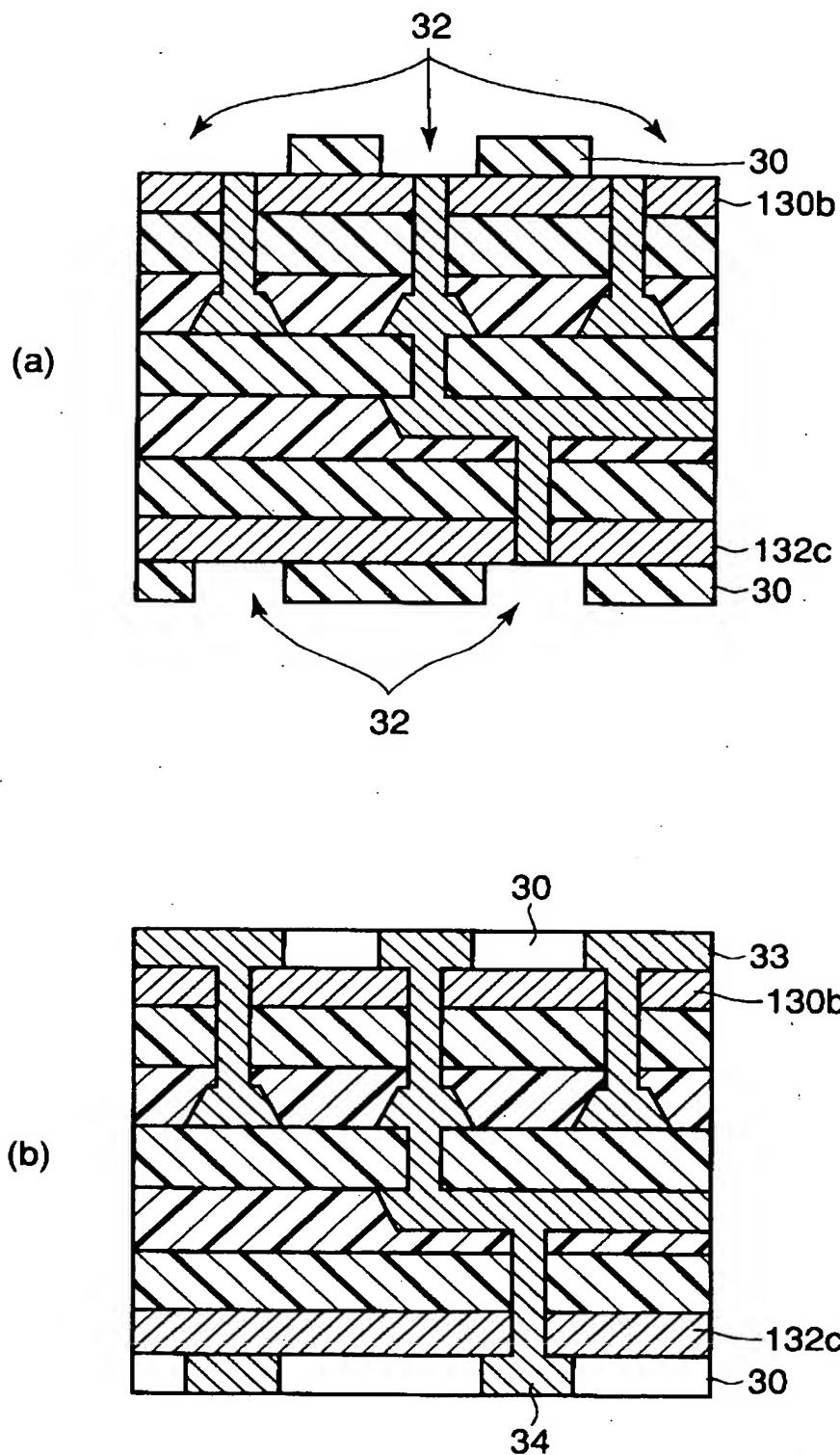


(a)

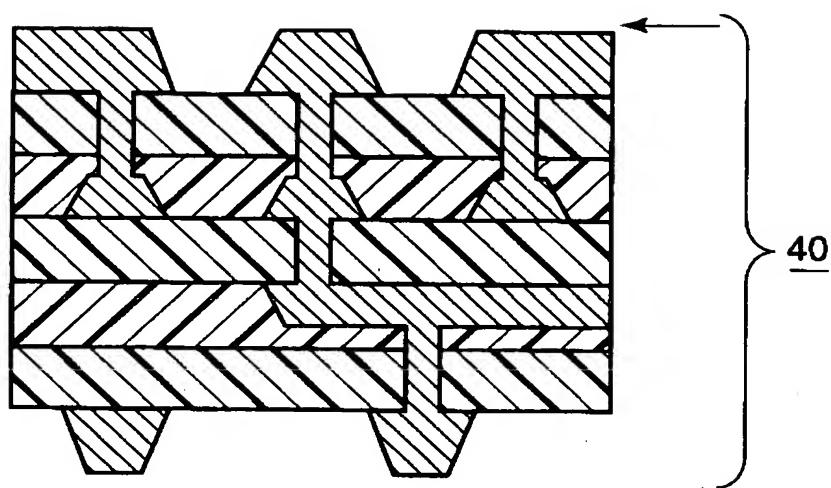


(b)

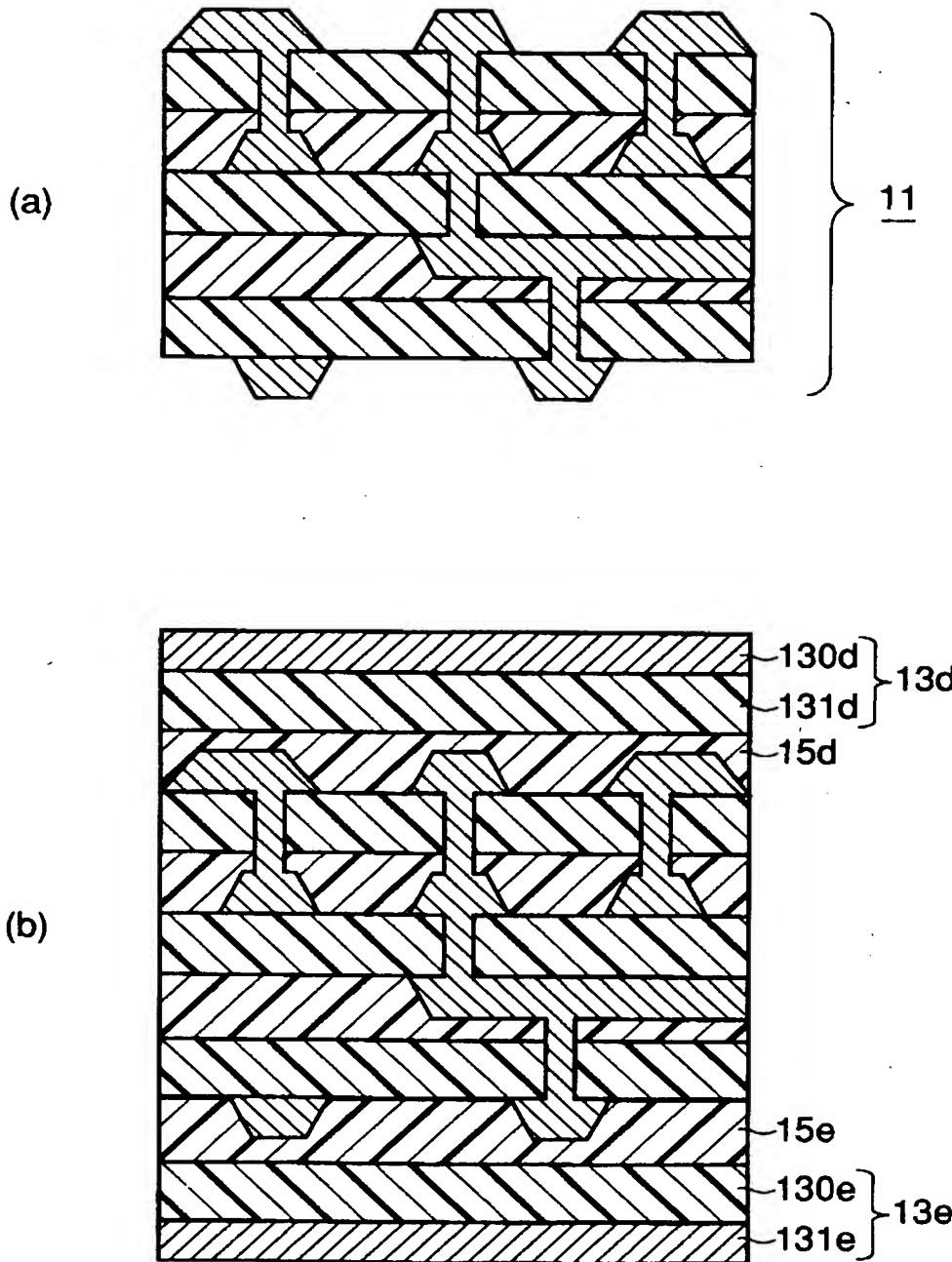
【図7】



【図8】

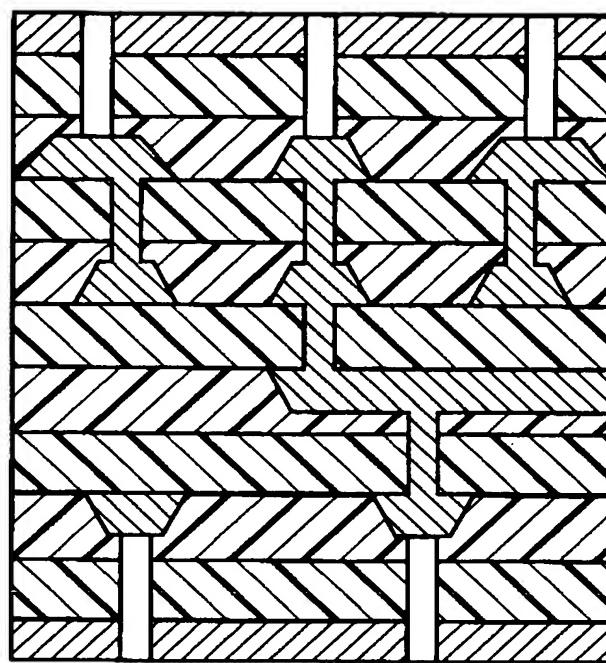


【図9】

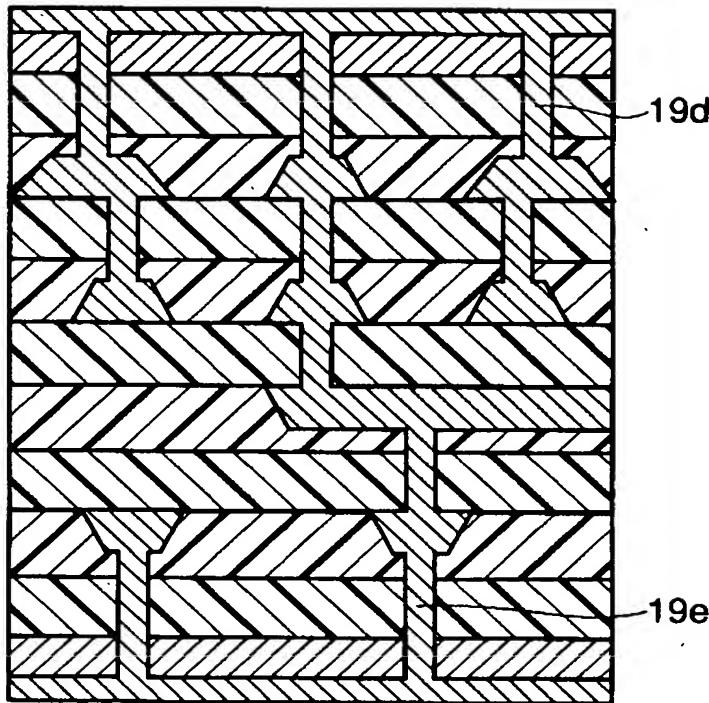


【図10】

(a)

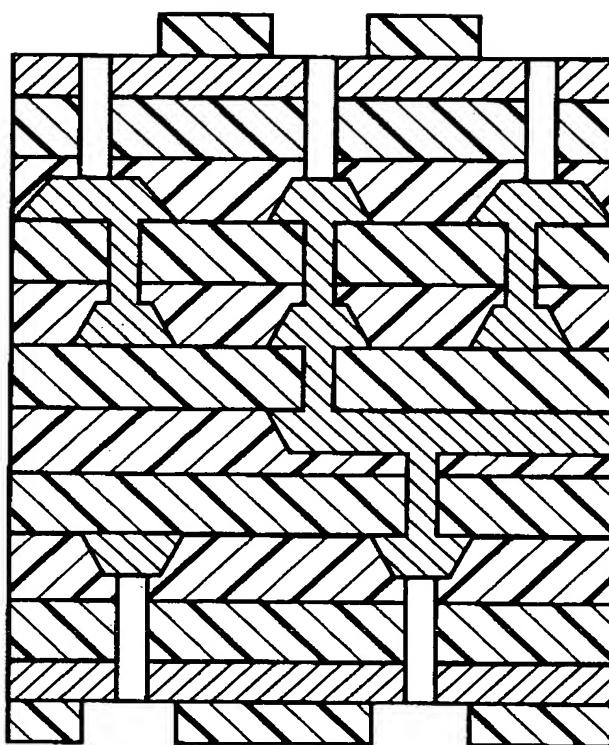


(b)

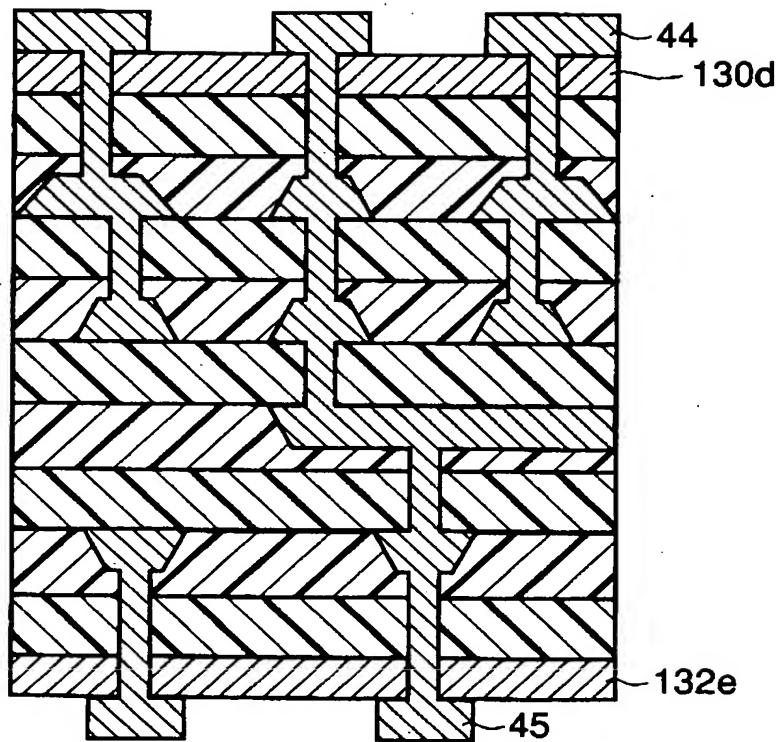


【図11】

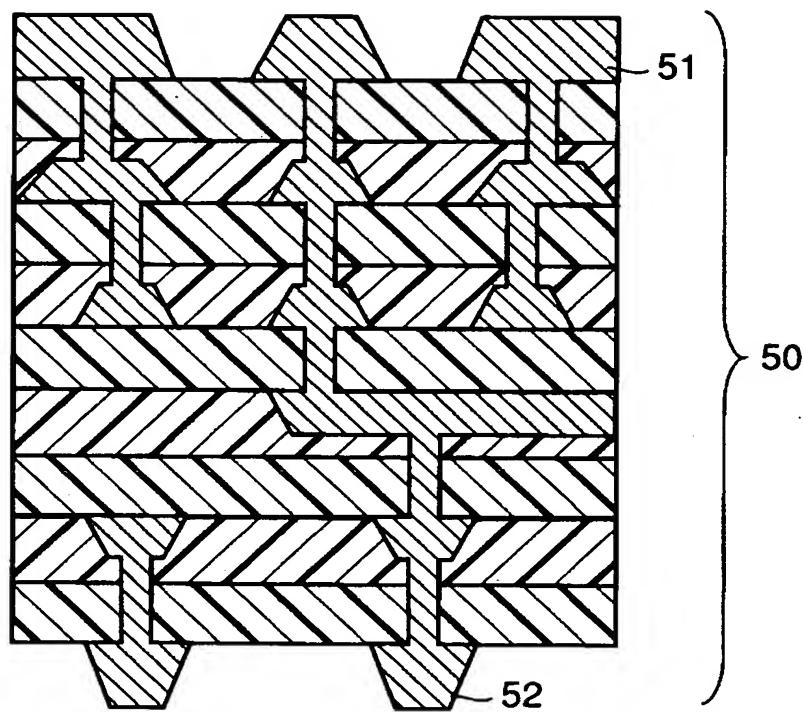
(a)



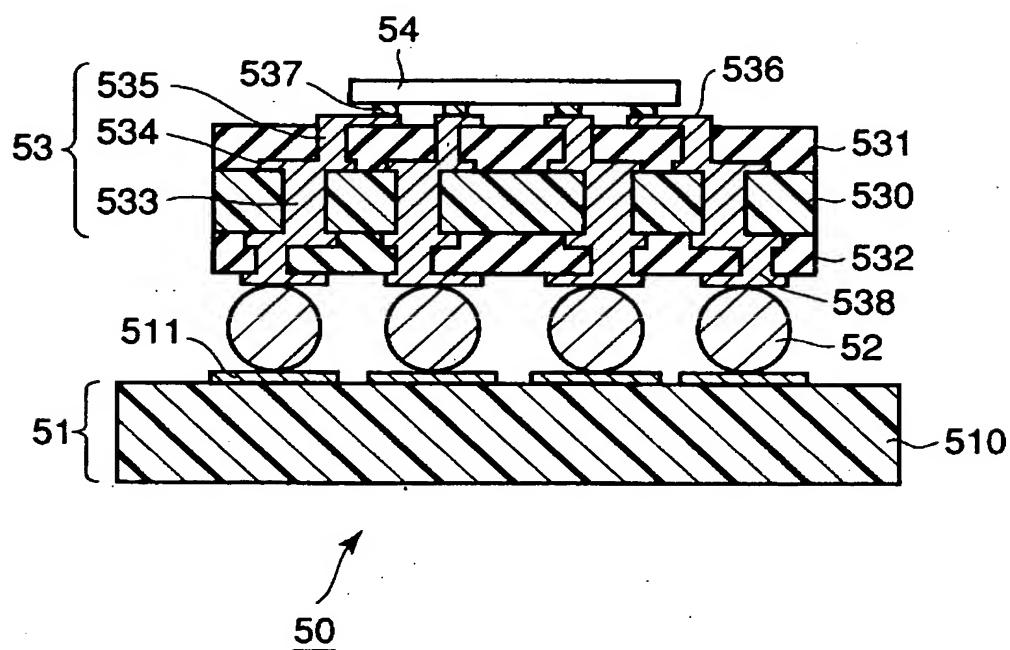
(b)



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 微細なライン、アンド、スペースを有する配線パターンを有し、量産化可能な多層回路配線板、ICパッケージ及び多層回路配線板の製造方法を提供すること。

【解決手段】 ポリイミド樹脂層の両面に配線パターンが形成された第1の可撓性フィルムに、接着層を介して、ポリイミド樹脂層の片面に配線パターンが形成された第2及び第3の可撓性フィルムが、積層された多層回路配線板である。第2のフィルムは、配線パターンが外側を向くように、第1の可撓性フィルムの両面に積層される。各フィルムの配線パターン間は、ビアホールによって電気的に接続されている。

【選択図】 図1

出願人履歴情報

識別番号 [000003193]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住所 東京都台東区台東1丁目5番1号

氏名 凸版印刷株式会社